

特長

- 入力電圧範囲: 8.5V ~ 100V
- プログラム可能なボルト秒クランプ
- 高効率制御: アクティブ・クランプ、同期整流、プログラム可能な遅延
- 短絡(一時中断モード)時の過電流保護
- プログラム可能なソフトスタート/ストップ
- ヒステリシスを備えたプログラム可能な OVLO および UVLO
- プログラム可能な周波数(100kHz ~ 500kHz)
- 外部クロックに同期可能

アプリケーション

- 産業用、自動車用、および軍用システム
- 48V通信機器用絶縁型電源

概要

LT[®]3753は、アクティブ・クランプのフォワード型コンバータ構成向けに最適化された電流モードPWMコントローラで、動作入力電圧は最大100Vです。

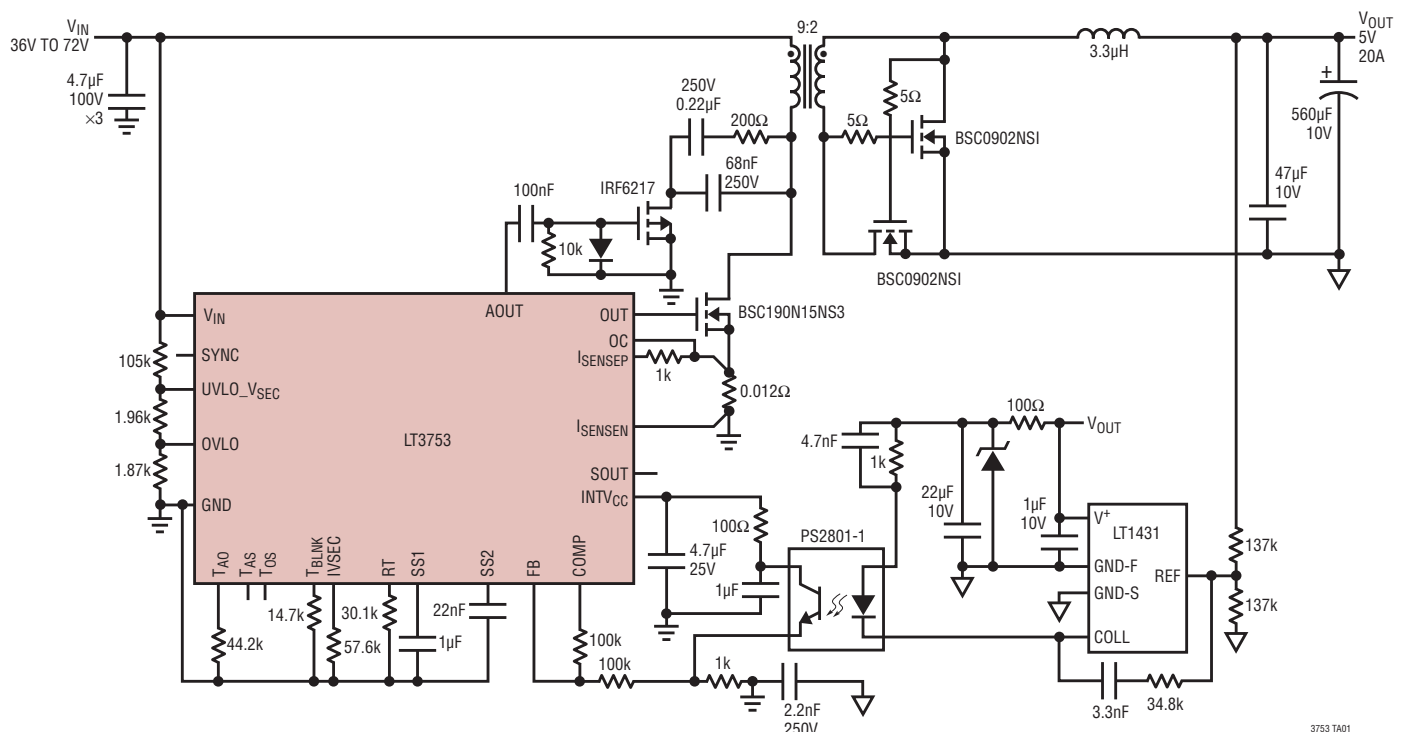
プログラム可能なボルト秒クランプ回路により、1次側スイッチのデューティ・サイクルを50%より高くすることができるので、利用率の高いスイッチ、トランス、整流器に対応できます。アクティブ・クランプ制御により、スイッチ電圧のストレスが減少し、効率が向上します。2次側の同期整流を制御するための同期出力を備えています。

LT3753は、高電圧用のピン間隔にするためにピンが欠損している38ピンのプラスチックTSSOPパッケージで供給されます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リアテクノロジ社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

36V ~ 72Vから5V/20Aのアクティブ・クランプ絶縁型フォワード・コンバータ



3753 TA01

3753f

目次

特長.....	1	D _{VSEC} 開ループ制御: オプトカプラ、エラーアンプ、 またはリファレンスがない場合	19
アプリケーション	1	R _{IVSEC} : ピン開放検出による安全性の提供	19
標準的応用例	1	トランスのリセット: アクティブ・クランプ技術	20
概要.....	1	LO側アクティブ・クランプ・トポロジ (LT3753)	20
目次.....	2	HI側アクティブ・クランプ・トポロジ (LT3752-1)	22
絶対最大定格.....	3	アクティブ・クランプ・コンデンサ値と 電圧リップル	22
発注情報.....	3	アクティブ・クランプMOSFETの選択	23
ピン配置	3	アクティブ・クランプ・スイッチのタイミングの設定 AOUT~OUT間遅延 (t _{AO}) および OUT~AOUT間遅延 (t _{OA})	24
電気的特性.....	4	同期整流器のタイミングの設定SOUT~OUT間 遅延 (t _{SO}) およびOUT~SOUT間遅延 (t _{OS})	24
標準的性能特性.....	7	ソフトスタート (SS1, SS2)	25
ピン機能	10	ソフトストップ (SS1)	25
ブロック図.....	11	ハードストップ (SS1, SS2)	26
タイミング図.....	12	OUT, AOUT, SOUTのパルス・スキップ・モード	27
動作.....	14	AOUTのタイムアウト	27
はじめに	14	メイン・トランスの選択	27
デバイスの起動.....	14	補助電源の生成	28
アプリケーション情報	15	1次側補助電源	29
システム入力の低電圧ロックアウト (UVLO)		2次側補助電源	29
しきい値とヒステリシスの設定	15	1次側パワーMOSFETの選択	30
ソフトストップ・シャットダウン	15	同期制御 (SOUT)	31
マイクロパワー・シャットダウン.....	15	出力インダクタ値.....	32
システム入力過電圧ロックアウト (OVLO)		出力コンデンサの選択	32
しきい値の設定	15	入力コンデンサの選択	32
スイッチング周波数の設定	16	PCBレイアウト/熱に関するガイドライン	33
外部クロックとの同期	16	パッケージ	35
INTV _{CC} レギュレータのバイパスと動作	16	標準的応用例	36
適応型リーディングエッジ・ブランキングと 設定可能な拡張ブランキング	17	関連製品	36
電流検出および設定可能なスロープ補償	18		
過電流: 一時中断モード.....	18		
最大デューティ・サイクル・クランプ: D _{VSEC} (ボルト秒クランプ) の設定.....	18		

絶対最大定格

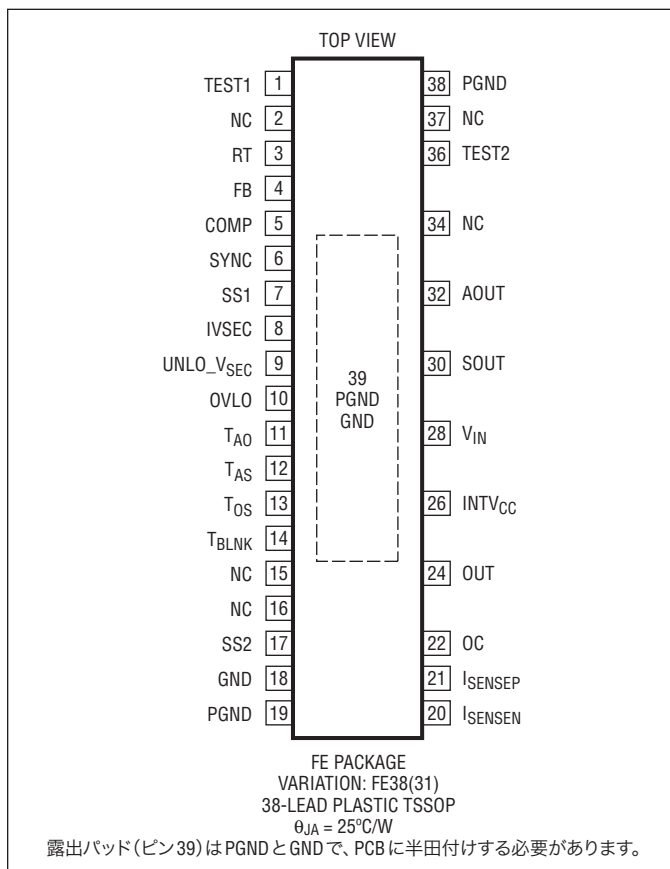
(Note 1)

V_{IN}	100V
UVLO_VSEC、OVLO	20V
INTV _{CC} 、SS1	16V
FB、SYNC	6V
SS2、COMP、TEST1、RT	3V
I _{SENSEP} 、I _{SENSEN} 、OC、TEST2	0.35V
IVSEC	-250 μ A

動作接合部温度範囲 (Note 2, 3)

LT3753EFE	-40°C ~ 125°C
LT3753IFE	-40°C ~ 125°C
LT3753HFE	-40°C ~ 150°C
LT3753MPFE	-55°C ~ 150°C
保存温度範囲	-65°C ~ 150°C
リード温度 (半田付け、10 秒)	300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LT3753EFE#PBF	LT3753EFE#TRPBF	LT3753FE	38-Lead Plastic TSSOP	-40°C to 125°C
LT3753IFE#PBF	LT3753IFE#TRPBF	LT3753FE	38-Lead Plastic TSSOP	-40°C to 125°C
LT3753HFE#PBF	LT3753HFE#TRPBF	LT3753FE	38-Lead Plastic TSSOP	-40°C to 150°C
LT3753MPFE#PBF	LT3753MPFE#TRPBF	LT3753FE	38-Lead Plastic TSSOP	-55°C to 150°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
 テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

LT3753

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{IN} = 12\text{V}$ 、 $UVLO_V_{SEC} = 2.5\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Operational Input Voltage		●	8.5		100	V
$V_{IN(ON)}$		●		7.75	8.4	V
$V_{IN(OFF)}$				7.42		V
$V_{IN(ON/OFF)}$ Hysteresis		●	0.11	0.33	0.55	V
V_{IN} Quiescent Current	FB = 1.5V (Not Switching)			5.9	7.5	mA
UVLO_VSEC Micropower Threshold (V_{SD})	$I_{VIN} < 20\mu\text{A}$	●	0.2	0.4	0.6	V
V_{IN} Shutdown Current (Micropower)	UVLO_VSEC = 0.2V			20	40	μA
UVLO_VSEC Threshold (V_{SYS_UV})		●	1.180	1.250	1.320	V
V_{IN} Shutdown Current (After Soft-Stop)	UVLO_VSEC = 1V			165	220	μA
UVLO_VSEC (ON) Current	UVLO_VSEC = $V_{SYS_UV} + 50\text{mV}$			0		μA
UVLO_VSEC (OFF) Current Hysteresis Current With One-Shot Communication Current	UVLO_VSEC = $V_{SYS_UV} - 50\text{mV}$ (Note 13)	●	4.0	5 25	6.0	μA μA
OVLO (Rising) (No Switching, Reset SS1)		●	1.220	1.250	1.280	V
OVLO (Falling) (Restart SS1)				1.215		V
OVLO Hysteresis		●	23	35	47	mV
OVLO Pin Current (Note 10)	OVLO = 0V OVLO = 1.5V (SS1 = 2.7V) OVLO = 1.5V (SS1 = 1.0V)			5 0.9 5	100	nA mA nA

発振器

Frequency: $f_{OSC} = 100\text{kHz}$	$R_T = 82.5\text{k}$		94	100	106	kHz
Frequency: $f_{OSC} = 300\text{kHz}$	$R_T = 24.9\text{k}$	●	279	300	321	kHz
Frequency: $f_{OSC} = 500\text{kHz}$	$R_T = 13.7\text{k}$		470	500	530	kHz
f_{OSC} Line Regulation	$R_T = 24.9\text{k}$, $8.5\text{V} < V_{IN} < 100\text{V}$			0.05	0.1	%/V
Frequency and D_{VSEC} Foldback Ratio (Fold)	SS1 = $V_{SSACT} + 25\text{mV}$, SS2 = 2.7V			4		
SYNC Input High Threshold	(Note 4)	●		1.2	1.8	V
SYNC Input Low Threshold	(Note 4)	●	0.6	1.025		V
SYNC Pin Current	SYNC = 6V			75		μA
SYNC Frequency/Programmed f_{OSC}			1.0		1.25	kHz/kHz

リニア・レギュレータ (INTV_{CC})

INTV _{CC} Regulation Voltage			9.4	10	10.4	V
Dropout (V_{IN} -INTV _{CC})	$V_{IN} = 8.75\text{V}$, $I_{INTVCC} = 10\text{mA}$			0.6		V
INTV _{CC} UVLO(+)	(Start Switching)			7	7.4	V
INTV _{CC} UVLO(-)	(Stop Switching)			6.8	7.2	V
INTV _{CC} UVLO Hysteresis			0.1	0.2	0.3	V
INTV _{CC} OVLO(+)	(Stop Switching)		15.9	16.5	17.2	V
INTV _{CC} OVLO(-)	(Start Switching)		15.4	16	16.7	V
INTV _{CC} OVLO Hysteresis			0.38	0.5	0.67	V
INTV _{CC} Current Limit	INTV _{CC} = 0V INTV _{CC} = 8.75V	●	9.5 19	13 27	17 32	mA mA

3753f

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{IN} = 12\text{V}$ 、 $UVLO_V_{SEC} = 2.5\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
エラーアンプ					
FB Reference Voltage		● 1.220	1.250	1.275	V
FB Line Reg	$8.5\text{V} < V_{IN} < 100\text{V}$		0.1	0.3	mV/V
FB Load Reg	$\text{COMP_SW} - 0.1\text{V} < \text{COMP} < \text{COMP_V}_{OH} - 0.1\text{V}$		0.1	0.3	mV/V
FB Input Bias Current	(Note 8)		50	200	nA
Open-Loop Voltage Gain			85		dB
Unity-Gain Bandwidth	(Note 6)		2.5		MHz
COMP Source Current	FB = 1V, COMP = 1.75V (Note 8)	6	11		mA
COMP Sink Current	FB = 1.5V, COMP = 1.75V	6.5	11.5		mA
COMP Output High Clamp	FB = 1V		2.6		V
COMP Switching Threshold			1.25		V
電流検出					
I _{SENSE} P Maximum Threshold	FB = 1V, OC = 0V	180	220	260	mV
COMP Current Mode Gain	$\Delta V_{\text{COMP}}/\Delta V_{\text{ISENSEP}}$		6.1		V/V
I _{SENSE} P Input Current (D = 0%)	(Note 8)		2		μA
I _{SENSE} P Input Current (D = 80%)	(Note 8)		33		μA
I _{SENSE} N Input Current	FB = 1.5V (COMP Open) (Note 8) FB = 1V (COMP Open) (Note 8)		20 90	30 135	μA μA
OC Overcurrent Threshold		● 82.5	96	107.5	mV
OC Input Current			200	500	nA
AOUTドライバ(アクティブ・クランプ・スイッチ制御)					
AOUT Rise Time	$C_L = 1\text{nF}$ (Note 5), $\text{INTV}_{CC} = 12\text{V}$		90		ns
AOUT Fall Time	$C_L = 1\text{nF}$ (Note 5), $\text{INTV}_{CC} = 12\text{V}$		90		ns
AOUT Low Level			0.1		V
AOUT High Level	$\text{INTV}_{CC} = 12\text{V}$	11.9			V
AOUT High Level in Shutdown	$UVLO_V_{SEC} = 0\text{V}$, $\text{INTV}_{CC} = 8\text{V}$, $I_{\text{AOUT}} = 1\text{mA}$ Out of the Pin	7.8			V
AOUT Edge to OUT (Rise):(t _{AO})	$C_{\text{SOUT}} = 1\text{nF}$, $C_{\text{OUT}} = 3.3\text{nF}$, $\text{INTV}_{CC} = 12\text{V}$ $R_{\text{TAO}} = 44.2\text{k}$ $R_{\text{TAO}} = 73.2\text{k}$ (Note 9)	168 253	218 328	268 403	ns ns
OUT (Fall) to AOUT Edge:(t _{OA})	$C_{\text{SOUT}} = 1\text{nF}$, $C_{\text{OUT}} = 3.3\text{nF}$, $\text{INTV}_{CC} = 12\text{V}$ $R_{\text{TAO}} = 44.2\text{k}$ $R_{\text{TAO}} = 73.2\text{k}$ (Note 10)	150 214	196 295	250 376	ns ns
SOUTドライバ(同期整流制御)					
SOUT Rise Time	$C_{\text{OUT}} = 1\text{nF}$, $\text{INTV}_{CC} = 12\text{V}$ (Note 5)		90		ns
SOUT Fall Time	$C_{\text{OUT}} = 1\text{nF}$, $\text{INTV}_{CC} = 12\text{V}$ (Note 5)		90		ns
SOUT Low Level			0.1		V
SOUT High Level	$\text{INTV}_{CC} = 12\text{V}$	11.9			V
SOUT High Level in Shutdown	$UVLO_V_{SEC} = 0\text{V}$, $\text{INTV}_{CC} = 8\text{V}$, $I_{\text{SOUT}} = 1\text{mA}$ Out of the Pin	7.8			V
AOUT Edge to SOUT (Fall):(t _{AS})	$C_{\text{AOUT}} = C_{\text{SOUT}} = 1\text{nF}$, $\text{INTV}_{CC} = 12\text{V}$ $R_{\text{TAS}} = 44.2\text{k}$ (Note 11) $R_{\text{TAS}} = 73.2\text{k}$	168 253	218 328	268 403	ns ns
SOUT (Fall) to OUT (Rise):(t _{SO} = t _{AO} - t _{AS})	$C_{\text{SOUT}} = 1\text{nF}$, $C_{\text{OUT}} = 3.3\text{nF}$, $\text{INTV}_{CC} = 12\text{V}$ $R_{\text{TAO}} = 73.2\text{k}$, $R_{\text{TAS}} = 44.2\text{k}$ (Notes 9, 11) $R_{\text{TAO}} = 44.2\text{k}$, $R_{\text{TAS}} = 73.2\text{k}$	70 -70	110 -110	132 -132	ns ns

3753f

LT3753

電気的特性 ●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{IN} = 12\text{V}$ 、 $UVLO_V_{SEC} = 2.5\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
OUT (Fall) to SOUT (Rise):(t_{OS})	$C_{SOUT} = 1\text{nF}$, $C_{OUT} = 3.3\text{nF}$, $INTV_{CC} = 12\text{V}$ $R_{TOS} = 14.7\text{k}$ $R_{TOS} = 44.2\text{k}$ (Note 12)	52 102	68 133	84 164	ns ns
OUTドライバ(メイン・パワースイッチ制御)					
OUT Rise Time	$C_{OUT} = 3.3\text{nF}$, $INTV_{CC} = 12\text{V}$ (Note 5)		19		ns
OUT Fall Time	$C_{OUT} = 3.3\text{nF}$, $INTV_{CC} = 12\text{V}$ (Note 5)		20		ns
OUT Low Level			0.1		V
OUT High Level	$INTV_{CC} = 12\text{V}$	11.9			V
OUT Low Level in Shutdown	$UVLO_V_{SEC} = 0\text{V}$, $INTV_{CC} = 12\text{V}$, $I_{OUT} = 1\text{mA}$ Into the Pin		0.25		V
OUT (Volt-Sec) Max Duty Cycle Clamp $D_{VSEC} (1 \cdot \text{System Input (Min)}) \times 100$ $D_{VSEC} (2 \cdot \text{System Input (Min)}) \times 100$ $D_{VSEC} (4 \cdot \text{System Input (Min)}) \times 100$	$R_T = 22.6\text{k}$, $R_{IVSEC} = 51.1\text{k}$, $FB = 1\text{V}$, $SS1 = 2.7\text{V}$ $UVLO_V_{SEC} = 1.25\text{V}$ $UVLO_V_{SEC} = 2.50\text{V}$ $UVLO_V_{SEC} = 5.00\text{V}$	68.5 34.3 17.5	72.5 36.5 18.6	76.2 38.7 19.7	% % %
OUT Minimum ON Time	$C_{OUT} = 3.3\text{nF}$, $INTV_{CC} = 12\text{V}$ (Note 7) $R_{TBLNK} = 14.7\text{k}$ $R_{TBLNK} = 73.2\text{k}$ (Note 14)		325 454		ns ns
SS1ピン(ソフトスタート:周波数およびD_{VSEC})(ソフトストップCOMPピン、周波数およびD_{VSEC})					
SS1 Reset Threshold ($V_{SS1(RTH)}$)			150		mV
SS1 Active Threshold ($V_{SS1(ACT)}$)	(Allow Switching)		1.25		V
SS1 Charge Current (Soft-Start)	$SS1 = 1.5\text{V}$ (Note 8)	7	11.5	16	μA
SS1 Discharge Current (Soft-Stop)	$SS1 = 1\text{V}$, $UVLO_V_{SEC} = V_{SYS_UV} - 50\text{mV}$	6.4	10.5	14.6	μA
SS1 Discharge Current (Hard Stop) OC > OC Threshold $INTV_{CC} < INTV_{CC} UVLO(-)$ $OVLO > OVLO(+)$	$SS1 = 1\text{V}$		0.9 0.9 0.9		mA mA mA
SS2ピン(ソフトスタート:COMPピン)					
SS2 Discharge Current	$SS1 < V_{SS(ACT)}$, $SS1 = 2.5\text{V}$		2.8		mA
SS2 Charge Current	$SS1 > V_{SS(ACT)}$, $SS1 = 1.5\text{V}$	11	21	28	μA

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LT3753EFEは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT3753IFEは、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度で性能仕様に適合することが保証されている。LT3753HFEは、 $-40^\circ\text{C} \sim 150^\circ\text{C}$ の接合部温度で性能仕様に適合することが保証されている。LT3753MPFEは、 $-55^\circ\text{C} \sim 150^\circ\text{C}$ の接合部温度で性能仕様に適合することがテストされ、保証されている。

Note 3: 最大動作周囲温度については、「アプリケーション情報」の熱計算のセクションを参照。

Note 4: SYNCの最小しきい値と最大しきい値は、0.7V(低レベル)および1.7V(高レベル)の保護範囲SYNCレベルでクロック入力を使用するSYNC周波数範囲テストによって保証されている。

Note 5: 立ち上がり時間と立ち下がり時間は、ゲート・ドライバ電源電圧の10%~90%で計測される。

Note 6: 設計により保証されている。

Note 7: オン時間は、ゲート・ドライバ電源電圧の50%で、立ち上がりエッジと立ち下がりエッジの間で計測される。

Note 8: 電流はピンから流れ出す。

Note 9: $R_{TAS} = 73.2\text{k}$ テストとの相関で保証される。

Note 10: t_{OA} タイミングは、計測された t_{AO} タイミングとの相関に基づく設計によって保証されている。

Note 11: $R_{TAO} = 44.2\text{k}$ テストとの相関によって保証されている。

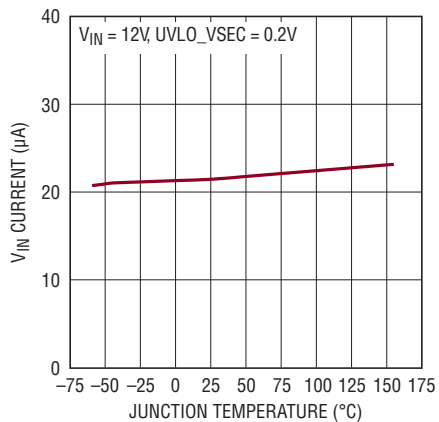
Note 12: $R_{TOS} = 14.7\text{k}$ テストとの相関によって保証されている。

Note 13: $UVLO_V_{SEC}$ ピンから $20\mu\text{A}$ の $2\mu\text{s}$ ワンショットを流すことによって、デバイス間の通信のシャットダウンを開始できる(さらに多くの電力を得るために電源を積み重ねる場合(つまり、入力を並列に接続し、出力を直列に接続する場合)に役立つ)。電流は、静的テスト・モードでテストされている。 $2\mu\text{s}$ ワンショットは、設計によって保証されている。

Note 14: $R_{TBLNK} = 14.7\text{k}$ テストとの相関によって保証されている。

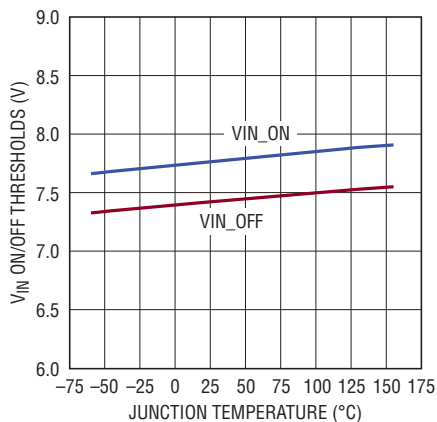
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

V_{IN} のシャットダウン電流と
接合部温度



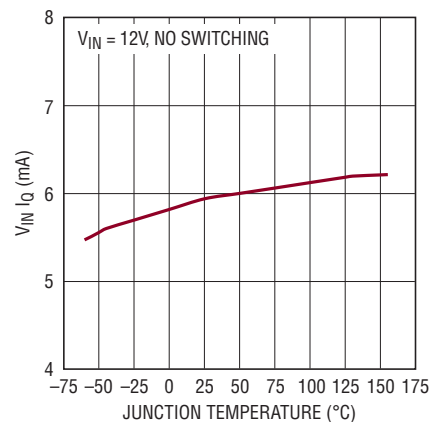
3753 G01

$V_{IN(ON)}$ 、 $V_{IN(OFF)}$ しきい値と
接合部温度



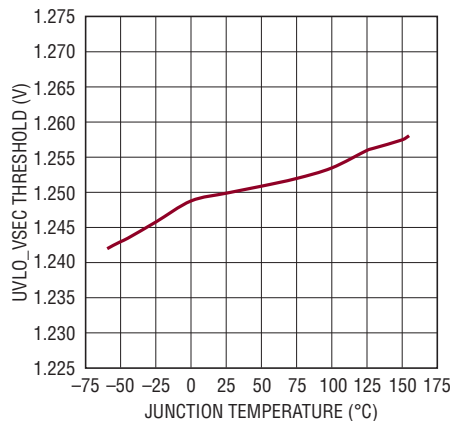
3753 G02

V_{IN} 静止電流と接合部温度



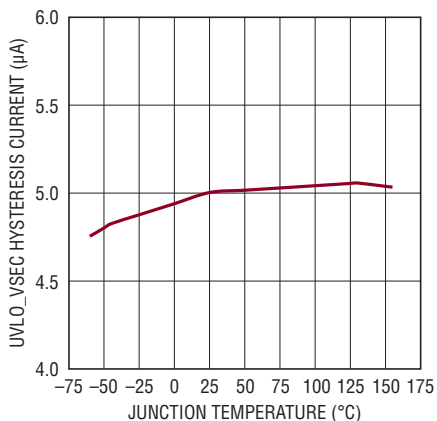
3753 G03

UVLO_VSEC オンしきい値と
接合部温度



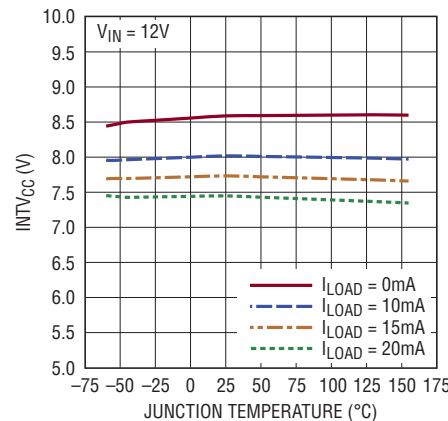
3753 G04

UVLO_VSEC ヒステリシス電流と
接合部温度



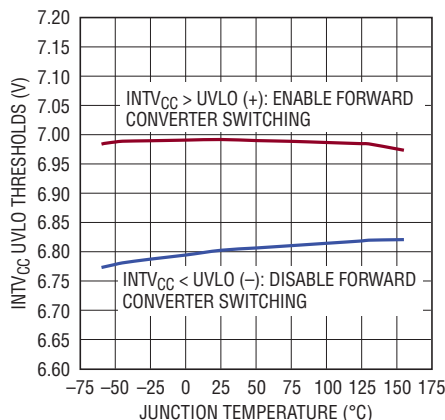
3753 G05

$V_{IN} = 8.75\text{V}$ でドロップアウト状態の
 $INTV_{CC}$ と電流、接合部温度



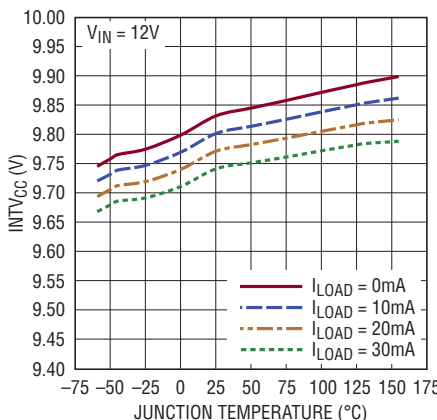
3753 G06

$INTV_{CC}$ の UVLO しきい値と
接合部温度



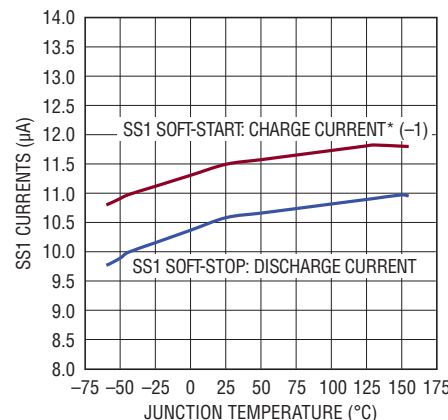
3753 G07

$INTV_{CC}$ ピンのレギュレーション
電圧と電流、接合部温度



3753 G08

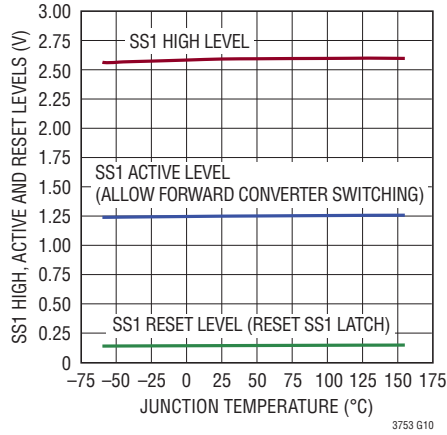
SS1 のソフトスタート/ソフトストップ
ピン電流と接合部温度



3753 G09

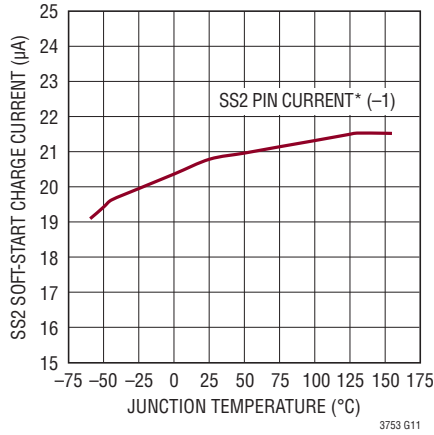
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

SS1の高レベル、アクティブ・レベル、およびリセット・レベルと接合部温度



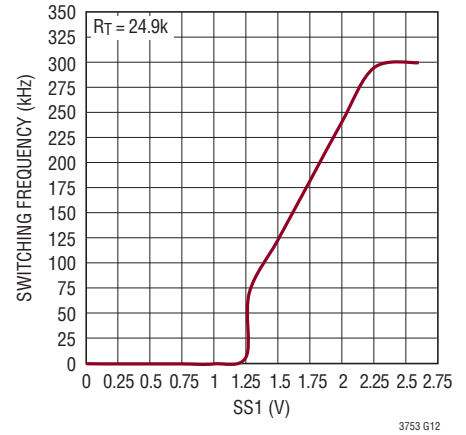
3753 G10

SS2のソフトスタート充電電流と接合部温度



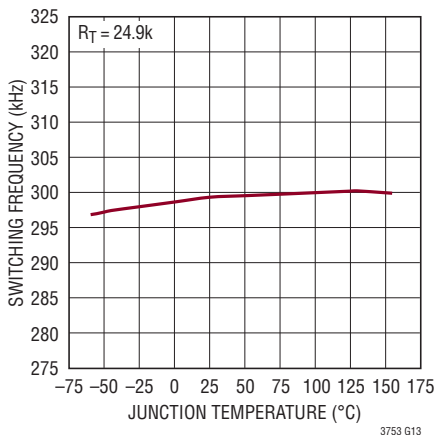
3753 G11

スイッチング周波数とSS1ピンの電圧



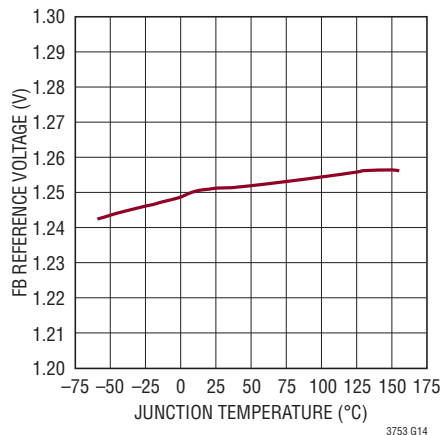
3753 G12

スイッチング周波数と接合部温度



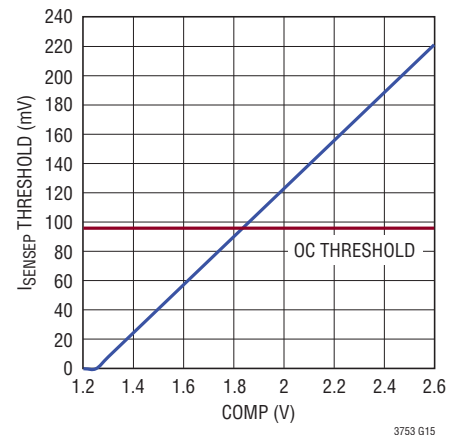
3753 G13

FBのリファレンス電圧と接合部温度



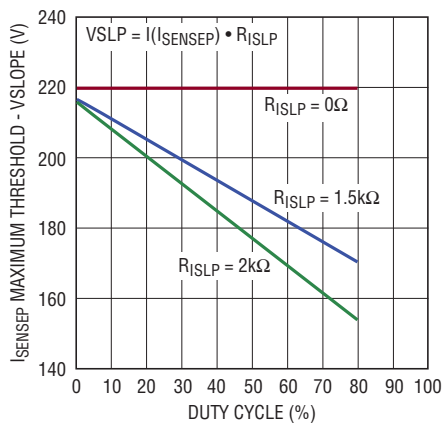
3753 G14

I_{SENSE} の最大しきい値とCOMP



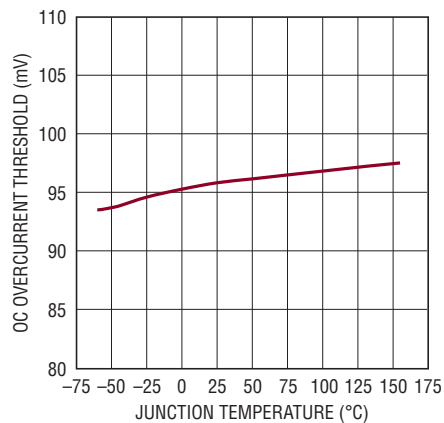
3753 G15

I_{SENSE} の最大しきい値-VSLPとデューティ・サイクル (スロープ補償の設定)



3753 G16

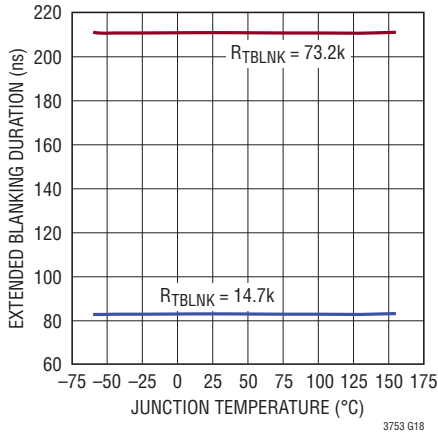
OC過電流(一時中断モード)しきい値と接合部温度



3753 G17

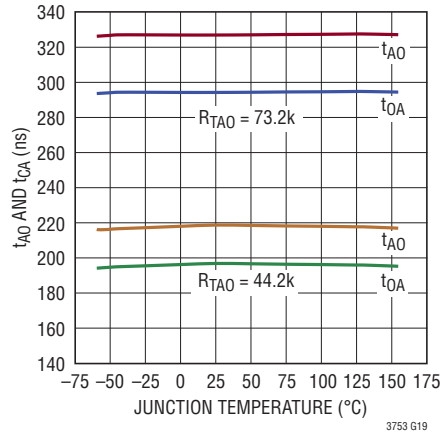
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

拡張ブランキング期間と
接合部温度



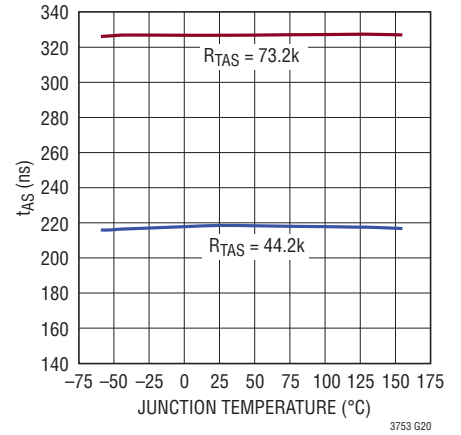
3753 G18

AOUT ~ OUT 間遅延 (t_{AO}) および
OUT ~ AOUT 間遅延 (t_{OA}) と接合部
温度



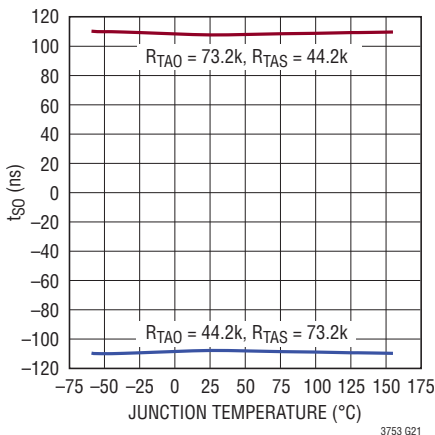
3753 G19

AOUT ~ SOUT 間遅延 (t_{AS}) と
接合部温度



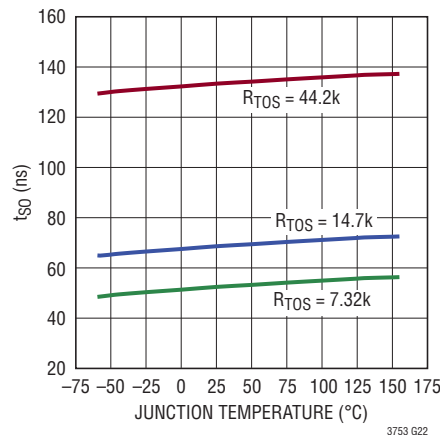
3753 G20

SOUT (立ち下がり) ~
OUT (立ち上がり) 間遅延
($t_{SO} = t_{AO} - t_{AS}$) と接合部温度



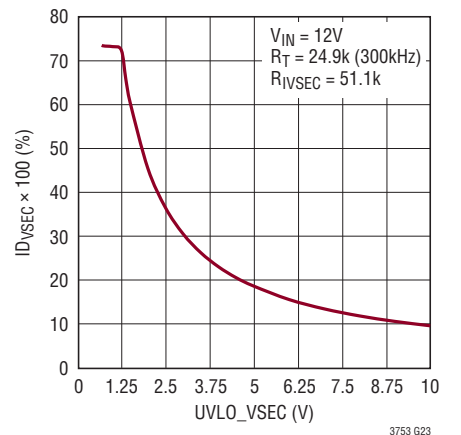
3753 G21

OUT (立ち下がり) ~
SOUT (立ち上がり) 間遅延 (t_{OS}) と
接合部温度



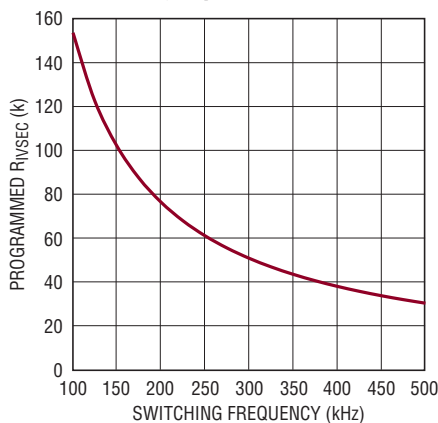
3753 G22

OUT の最大デューティ・サイクル・
クランプ (D_{VSEC}) と $UVLO_VSEC$



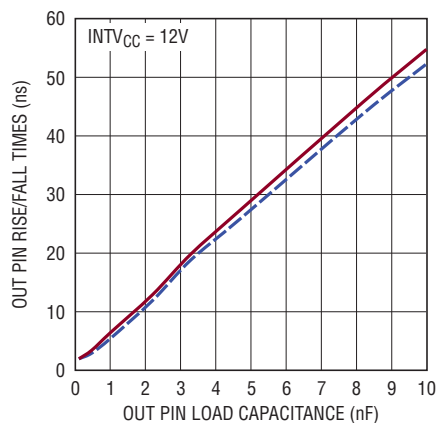
3753 G23

必要な R_{IVSEC} とスイッチング周波数
($D_{VSEC} \times 100 = 72.5\%$ 、 $UVLO_VSEC = 1.25\text{V}$ の場合)



3753 G24

OUT ピンの立ち上がり/
立ち下がり時間と OUT ピンの
負荷コンデンサ



3753 G25

ピン機能

TEST1 (ピン 1) : GND に接続します。

NC (ピン 2、15、16、34、37) : 接続されていないピン。これらのピンは、デバイスの内部で接続されていません。これらのピンは、オープンのままにしておきます。

RT (ピン 3) : グランドに接続した抵抗により、スイッチング周波数を設定します。

FB (ピン 4) : エラーアンプの反転入力。

COMP (ピン 5) : エラーアンプの出力。非絶縁型アプリケーション用のさまざまな補償ネットワークを可能にします。

SYNC (ピン 6) : 内部発信器を外部クロックと同期できるようにします。f_{SYNC}とf_{OSC}を同じにすることができます。

SS1 (ピン 7) : コンデンサによって、スイッチング周波数とボルト秒クランプのソフトスタート/ソフトストップを制御します。ソフトストップ時にCOMPピンも制御します。

IVSEC (ピン 8) : このピンに抵抗を接続して、OUTピンの最大デューティ・サイクル・クランプ(DV_{SEC})を設定します。このクランプは、システム入力電圧に反比例して変化し、ボルト秒クランプを提供します。

UVLO_VSEC (ピン 9) : システム入力からこのピンに接続された抵抗分割器によって、スイッチの最大デューティ・サイクルをシステム入力と反比例して変えることができます。このボルト秒クランプによって、デューティ・サイクルが約50%を超える場合にトランスの飽和を防ぐことができます。抵抗分割器の比は、低電圧ロックアウト(UVLO)しきい値を設定します。5 μ Aのピン電流ヒステリシスにより、UVLOヒステリシスを設定することができます。このピンの電圧が0.4Vを下回ると、V_{IN}の電流がマイクロアンペアに減少します。

OVLO (ピン 10) : システム入力からこのピンに接続された抵抗分割器によって、過電圧ロックアウト(OVLO)しきい値を設定します。このピンは、固定ヒステリシスを備えています。

TAO (ピン 11) : このピンに抵抗を接続して、AOOUTの立ち上がり制御信号とOUTの立ち上がり制御信号間の非重複タイミングを設定します。

TAS (ピン 12) : TAOとTASに接続された抵抗は、SOUTの立ち下がりとOUTの立ち上がり間の遅延(t_{AO} - t_{AS})を定義します。

TOs (ピン 13) : このピンに接続された抵抗は、OUTの立ち下がりとSOUTの立ち上がり間の遅延を設定します。

TBLNK (ピン 14) : このピンに接続された抵抗は、MOSFETのターンオン時のISENSEP信号とOC信号の拡張ブランキングを設定します。

SS2 (ピン 17) : このピンに接続されたコンデンサは、COMPピンのソフトスタートを制御します。あるいは、OPTOに接続して、スイッチングの開始を2次側に知らせることができます。使用しない場合は、ピンをオープンのままにしてください。

GND (ピン 18) : アナログ信号のグランド。このピンは、デバイス内で露出パッド(ピン 39)と電気的に接続しています。

PGND (ピン 19、38、39) : デバイスの電源グランド。パッケージのデバイスの下には、パッケージの放熱経路として最適な露出パッド(ピン 39)があり、ピン 39は、ダイの温度を下げてLT3753の電力性能を高めるため、デバイスの下の切れ目のない銅のグランド・プレーンに半田付けする必要があります。

ISENSE (ピン 20) : 電流検出コンパレータの負入力。パワーMOSFETのソースのセンス抵抗にケルビン接続します。

ISENSE (ピン 21) : 電流検出コンパレータの正入力。パワーMOSFETのソースのセンス抵抗にケルビン接続します。ISENSEPと直列に抵抗を接続して、スローブ補償を設定します。

OC (ピン 22) : 1次側MOSFETの過電流を検出して一時中断モードをトリガするための、デューティ・サイクルから独立した高精度の96mVしきい値。1次側MOSFETのソースのセンス抵抗に直接接続します。

欠損しているピン 23、25、27、29、31、33、35 : これらのピンは、高電圧間隔を確保して信頼性を向上するために削除されました。

OUT (ピン 24) : NチャネルMOSFETのゲートを、0VとINTV_{CC}の間で駆動します。シャットダウン時にアクティブ・プルオフが存在します。

INTV_{CC} (ピン 26) : V_{IN}から生成されるリニア・レギュレータの電源。AOOUT、SOUT、およびOUTのゲート・ドライバに10Vを供給します。INTV_{CC}ピンは、4.7 μ Fのコンデンサで電源グランドにバイパスする必要があります。このピンを外部のハウスキーピング電源から駆動して、デバイス内からの電力供給をなくすることができます。

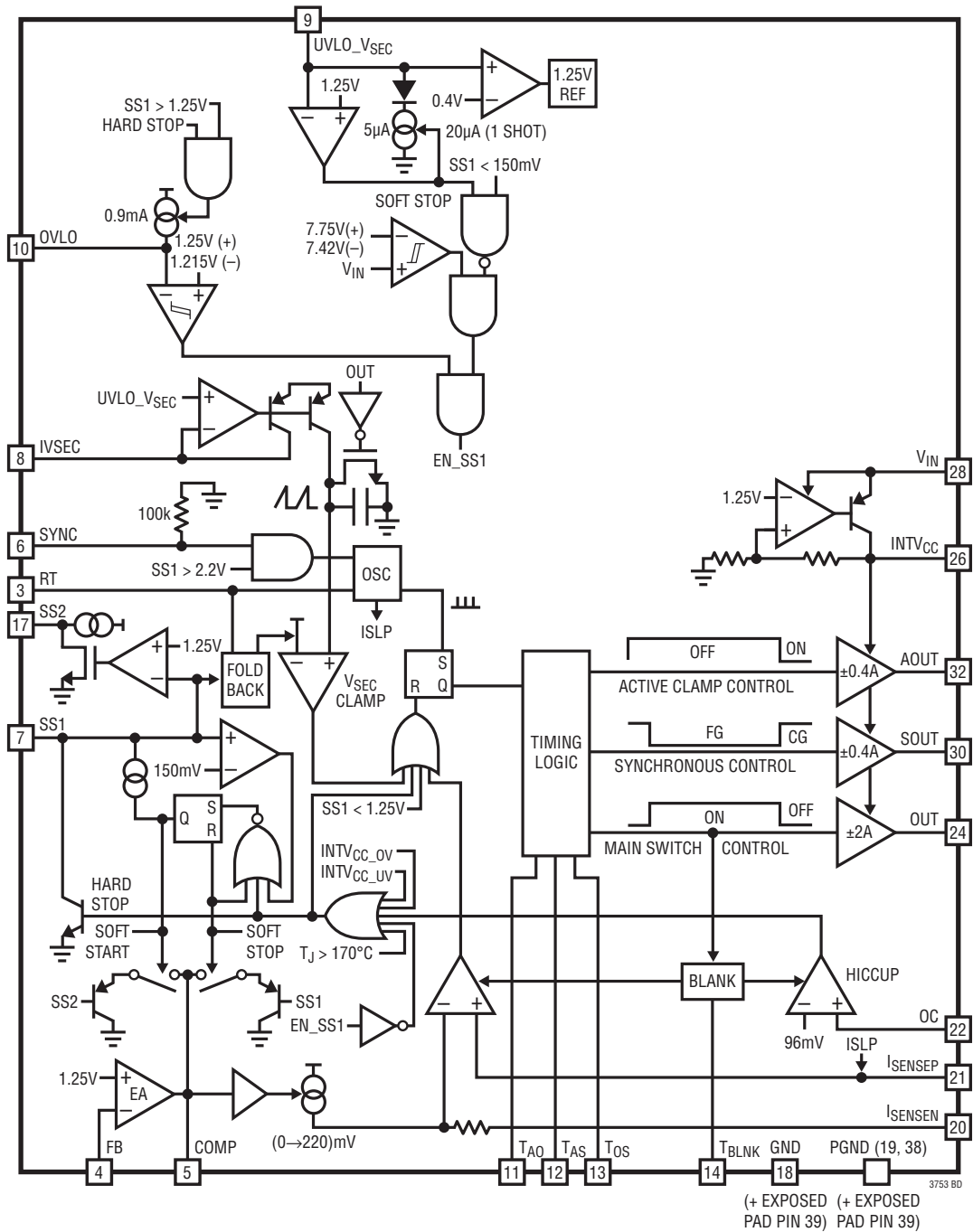
V_{IN} (ピン 28) : 入力電源ピン。1 μ Fのコンデンサでグランドにバイパスします。

SOUT (ピン 30) : 2次側の同期整流器コントローラ用の同期信号。

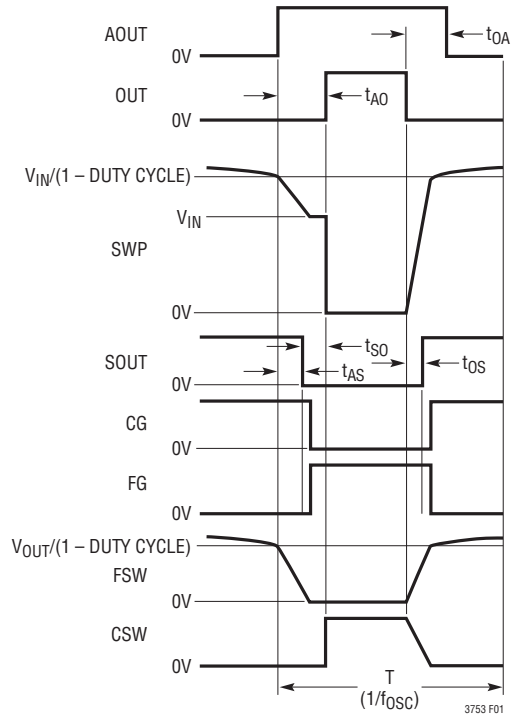
AOOUT (ピン 32) : 外部アクティブ・クランプ・スイッチ用の制御信号。

TEST2 (ピン 36) : GND に接続します。

ブロック図



タイミング図



t_{AO} PROGRAMMED BY R_{TAO} , t_{AS} PROGRAMMED BY R_{TAS}
 t_{OS} PROGRAMMED BY R_{TOS} , $t_{OA} = 0.9 \cdot t_{AO}$, $t_{SO} = t_{AO} - t_{AS}$

図1. タイミング図

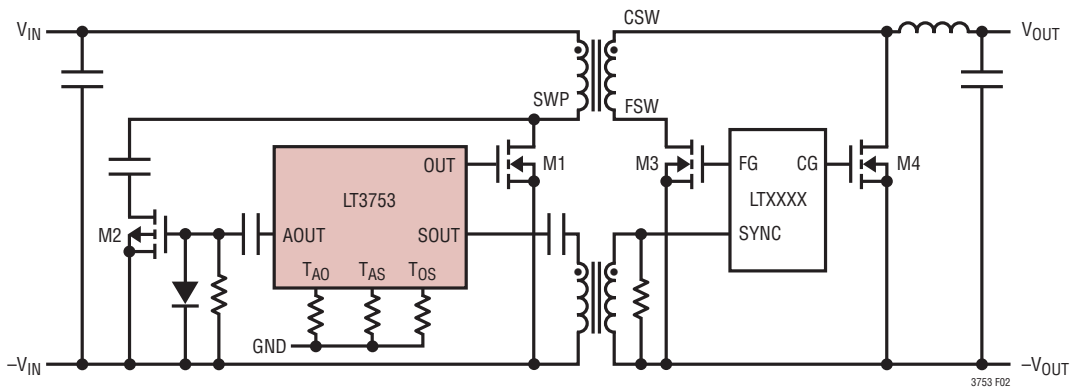


図2. タイミング・リファレンス回路

タイミング図

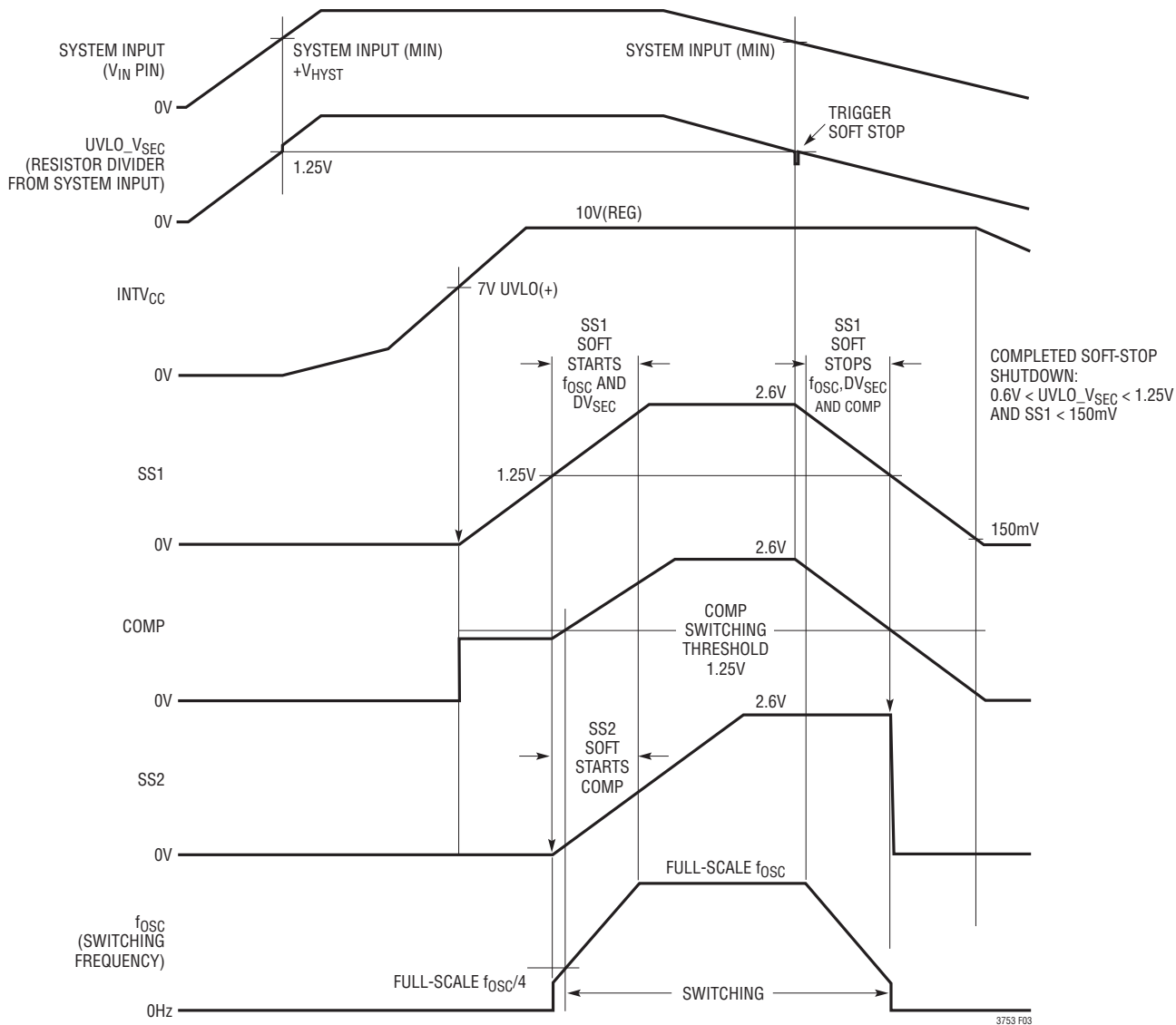


図3. 起動とシャットダウンのタイミング図

動作

はじめに

LT3753は、アクティブ・クランプ・リセットを備えた同期整流式フォワード・コンバータでの使用に最適化された、1次側の電流モードPWMコントローラです。LT3753は、 V_{IN} ピンの電圧8.5V～100Vで動作できます。LT3753ベースのフォワード・コンバータは、最大400Wの電力レベルを対象にしており、バッテリー・チャージ・アプリケーションは対象にいません。さらに大きな電力レベルが必要な場合は、コンバータの出力を直列に積み重ねることができます。UVLO、 V_{SEC} ピン、OVLOピン、SS1ピン、およびSS2ピンを相互接続すると、各ブロックは、全てのフォールト・モードおよびフォールト状態に対して同時に反応することができます。

このデバイスは、プログラム可能な高精度のボルト秒クランプを備えています。コンバータの自然なデューティ・サイクルよりも上に設定すると、デューティ・サイクルのガードレールによって1次側スイッチのリセット電圧を制限し、負荷トランジエント時のトランスの飽和を防ぎます。高精度で優れたボルト秒クランプの入力レギュレーションによって、2次側にオプトカプラ、リファレンス、またはエラーアンプがないなどのオープンループ状態の場合に、 V_{OUT} のレギュレーションが得られます。

絶縁は不要だが高い降圧比を必要とするアプリケーションの場合、各デバイスに電圧エラーアンプが内蔵されているため、極めて簡単に完全に安定化した非絶縁型同期整流式フォワード・コンバータを実現できます。

保護機能の範囲には、プログラム可能な過電流(OC)一時中断モード、プログラム可能なシステム入力低電圧ロックアウト(UVLO)、プログラム可能なシステム入力過電圧ロックアウト

(OVLO)、および内蔵サーマル・シャットダウンが含まれています。プログラム可能なスロープ補償とスイッチング周波数によって、広範囲の出力インダクタ値とトランス・サイズを使用できます。

デバイスの起動

LT3753の起動の詳細については、ブロック図と図3の起動波形を参照してください。デバイスを起動するには、システム入力電圧がUVLO、 V_{SEC} ピンを1.25Vを超えて駆動できるほど十分高く、 V_{IN} ピンの電圧が8.5Vよりも高い必要があります。内部リニア・レギュレータがアクティブになり、10VのINTV_{CC}電源を全てのゲート・ドライバに供給します。フォワード・コントローラのSS1ピンは、INTV_{CC}が7VのUVLO(+)しきい値に達すると、充電を開始できます。SS1が1.25Vに達すると、SS2ピンが充電を開始し、COMPピンの立ち上がり出力インダクタ・ピーク電流のソフトスタートを制御します。SS1ピンは、独立して、フルスケール設定値の22%から、スイッチング周波数とボルト秒クランプのソフトスタートを開始します。

コンバータの出力電圧のソフトスタート用の2次側制御が既に存在する場合でも、SS2ピンを使用して初期インダクタ・ピーク電流の上昇を制御できます。1次側のSS2のソフトスタートを2次側よりも速く設定するだけで、2次側はソフトスタートを引き継ぐことができます。SS2がソフトスタート制御に不要な場合でも、ブルダウンの強さと電圧定格により、SS2はINTV_{CC}に接続されたオプトカプラの入力を駆動できます。これによって、スイッチングが開始されたことを2次側に知らせることができます。

アプリケーション情報

システム入力の低電圧ロックアウト (UVLO) しきい値とヒステリシスの設定

LT3753は、UVLO_VSECピンに正確な1.25Vのシャットダウンしきい値を備えています。このしきい値を外付け抵抗分割器とともに使用して、コンバータのシステム入力電圧 (V_S) の下降時の低電圧ロックアウトしきい値 (UVLO(-)) を定義できます (図4)。ピンの5μAのヒステリシス電流によって、UVLO(+) しきい値を設定できます。

V_S (UVLO(-)) [ソフトストップを開始してからシャットダウンする]

$$= 1.25 \left[1 + \left(\frac{R1}{R2+R3} \right) \right]$$

V_S (UVLO(+)) [ソフトスタートを開始する]

$$= V_S (UVLO(-)) + (5\mu A \cdot R1)$$

UVLO_VSECピンの電圧が1.25V未満に低下したときに、デバイスがソフトストップを開始することに注意してください。ソフトストップ時に、スイッチング周波数、ボルト秒クランプ、およびCOMPピンの電圧が戻ると、コンバータはスイッチングを続行します。「アプリケーション情報」セクションのソフトストップを参照してください。SS2ピンが放電して最終的に150mVのリセットしきい値を下回ると、フォワード・コンバータはシャットダウンします。

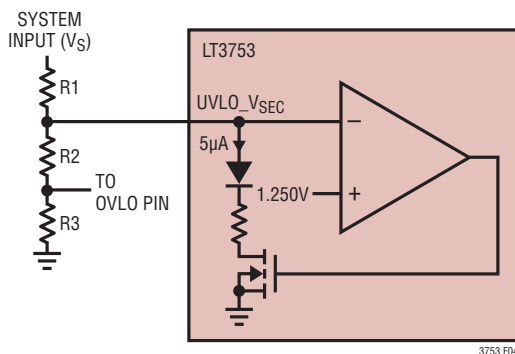


図4. 低電圧ロックアウト (UVLO) の設定

ソフトストップ・シャットダウン

(システムの低電圧に似た)ソフトストップ・シャットダウンを、外部制御信号によって指示できます。1つまたは複数のダイオードをドレインに直列に接続したMOSFETを使用して、UVLO_VSECピンの電圧を、1.25V未満(ただし、0.6V(最大)のマイクロパワー・シャットダウンしきい値以上)に引き下げます。ソフトストップ後のV_{IN}の静止電流は、165μA(標準)です。

マイクロパワー・シャットダウン

外部制御信号を使用したマイクロパワー・シャットダウンが必要な場合、オープンドレイン・トランジスタをUVLO_VSECピンに直接接続できます。LT3753は、UVLO_VSECピンに、0.4V(標準)のマイクロパワー・シャットダウンしきい値を備えています。マイクロパワー・シャットダウン時のV_{IN}の静止電流は、20μAです。

システム入力過電圧ロックアウト (OVLO) しきい値の設定

LT3753は、OVLOピンに正確な1.25Vの過電圧シャットダウンしきい値を備えています。このしきい値を外付け抵抗分割器とともに使用して、コンバータのシステム入力電圧 (V_S) の上昇時の過電圧ロックアウトしきい値 (OVLO(+)) を定義できます (図5)。OVLO(+)に達すると、デバイスはスイッチングを直ちに停止し、ハードストップによってSS1ピンとSS2ピンが放電されます。下降時のしきい値 (OVLO(-)) は、内部で1.205Vに固定されており、このしきい値によってデバイスはソフトスタート・モードで再起動できます。システム入力電源 (V_S) に1つの抵抗分割器を接続して、システムの低電圧しきい値と過電圧しきい値の両方を定義できます。R3の最小値は、1kです。OVLOを使用しない場合は、10kの抵抗をOVLOピンとグラウンドの間に接続します。

V_S OVLO(+) [スイッチングを停止してハードストップする]

$$= 1.25 \left[1 + \left(\frac{R1+R2}{R3} \right) \right]$$

V_S OVLO(-) [ソフトスタートを開始する]

$$= V_S (OVLO(+)) \cdot \frac{1.215}{1.25}$$

アプリケーション情報

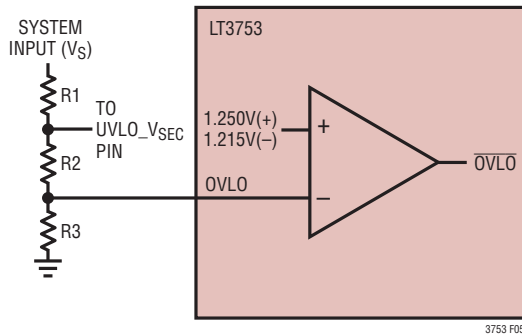


図5. 過電圧ロックアウト(OVLO)の設定

スイッチング周波数の設定

LT3753のスイッチング周波数は、抵抗(R_T)をアナログ・グラウンド(ピン18)とRTピンの間に接続して設定します。表1に、標準的な f_{OSC} と R_T の抵抗値を示します。 R_T の値は次式で与えられます。

$$R_T = 8.39 \cdot X \cdot (1 + Y)$$

ここで、

$$X = (10^9 / f_{OSC}) - 365$$

$$Y = (300\text{kHz} - f_{OSC}) / 10^7 \quad (f_{OSC} < 300\text{kHz})$$

$$Y = (f_{OSC} - 300\text{kHz}) / 10^7 \quad (f_{OSC} > 300\text{kHz})$$

例： $f_{OSC} = 200\text{kHz}$ の場合、

$$R_T = 8.39 \cdot 4635 \cdot (1 + 0.01) = 39.28\text{k} \text{ (39.2kを選択)}$$

LT3753は、起動時の周波数フォールドバックを備えています(図3を参照)。起動時にSYNC入力によって周波数フォールドバックが無効にならないようにするために、SS1ピンが2.2Vに達するまではSYNC機能は無視されます。

表1. R_T とスイッチング周波数(f_{OSC})

スイッチング周波数 (kHz)	R_T (k Ω)
100	82.5
150	53.6
200	39.2
250	30.9
300	24.9
350	21
400	18.2
450	15.8
500	Choose 13.7

外部クロックとの同期

LT3753の内部発振器は、SYNCピンで外部クロックと同期することができます。SYNCピンの“H”レベルは100ns以上、1.8Vを超える必要があります。SYNCピンの“L”レベルは100ns以上、0.6Vを下回る必要があります。SYNCピンの周波数は、RTピンで設定された標準周波数以上に設定する必要があります。 f_{SYNC}/f_{OSC} の比を x ($1.0 < x < 1.25$)とした場合、外部で設定されたスロープ補償は、 $1/1.2x$ 倍に減少します。必要に応じて、外付け抵抗 R_{ISLP} を $1.2x$ 倍に高く再設定できます(「電流検出および設定可能なスロープ補償」を参照)。

デバイスのインジェクション機能により、内部発振器はSYNCピンの各立ち上がりエッジにロックされます。通常動作時にSYNC入力が見失われると、デバイスは、スイッチング周波数を R_T 抵抗によって設定された発振器周波数に戻ります。このインジェクション・ロック手法は、PLL手法で起きる可能性がある、SYNC入力の喪失時に周波数が大きく低下する問題を防止します。

ソフトスタート時は、SS1が2.2Vを超えるまではSYNC入力は無視されます。ソフトストップ時は、SYNC入力は完全に無視されます。SYNC入力を使用する場合、設定可能なデューティ・サイクル・クランプ DV_{SEC} がデバイスのスイッチング周波数によって変わることを思い出してください(デューティ・サイクル・クランプの設定のセクションを参照)。 f_{SYNC}/f_{OSC} の比を x とすると、 R_{IVSEC} を $1/x$ 倍に再設定する必要があります。

INTV_{CC}レギュレータのバイパスと動作

INTV_{CC}ピンは、 V_{IN} から駆動される内部リニア・レギュレータの出力であり、内蔵ゲート・ドライバAOUT、SOUT、およびOUTに10V電源を供給します。INTV_{CC}は、安定性を保証し、ゲート・ドライバに十分な電荷を供給するために、4.7 μF 、低ESRのX7RまたはX5Rセラミック・コンデンサを使用して電源グラウンドにバイパスします。

INTV_{CC}レギュレータの最小出力電流制限は、19mAです。スイッチング周波数と各ゲート・ドライバの容量性負荷を選択する場合、この電流制限を考慮する必要があります。1つのゲート・ドライバが1つの外付けMOSFETを駆動する場合のINTV_{CC}ピンの平均電流負荷は、次式で与えられます。

$$I_{INTVCC} = f_{OSC} \cdot Q_G$$

アプリケーション情報

ここで、

f_{osc} = コントローラのスイッチング周波数

Q_G = ゲート電荷 ($V_{GS} = INTV_{CC}$)

LT3753アプリケーションでは、 $INTV_{CC}$ の19mAの出力電流制限で十分ですが、効率と内部電力損失も考慮する必要があります。 $INTV_{CC}$ を外部の補助電源でオーバードライブすることで、効率を向上し、デバイス内部の電力損失を削減して、19mAの出力電流能力を超える電流を供給できます(「アプリケーション情報」の「補助電源の生成」を参照)。オーバードライブ・レベルは、安定化された $INTV_{CC}$ のレベルよりも高く、16V以下である必要があります。

$INTV_{CC}$ とグランドの間で短絡フォールトが発生した場合、 $INTV_{CC}$ の出力電流制限は13mA(標準)に減少します。 $INTV_{CC}$ レギュレータは、上昇時低電圧ロックアウトしきい値(UVLO(+))を備えています。 $INTV_{CC}$ がこのしきい値(7V)に達すると、ゲート・ドライバはスイッチングを開始します。このスイッチングは、 $INTV_{CC}$ が6.8VのUVLO(-)しきい値を下回るまで維持されます。

V_{IN} のレベルが $INTV_{CC}$ の安定化レベルに近いか下回った場合、 $INTV_{CC}$ リニア・レギュレータはドロップアウト状態になることがあります。その結果、 $INTV_{CC}$ のレベルが低下した場合でも、 $INTV_{CC}$ が $INTV_{CC}$ のUVLO(-)レベルを超えている限り、ゲート・ドライバはスイッチングできます。 $INTV_{CC}$ の性能と V_{IN} および負荷電流については、「標準的性能特性」を参照してください。

適応型リーディングエッジ・ブランキングと設定可能な拡張ブランキング

LT3753は、外付けNチャンネルMOSFETを制御してフォワード・コンバータに主電源を供給するために、OUTピンに±2Aのゲート・ドライバを備えています(図7)。ゲートの立上り時間とその後の一定時間の間、MOSFETのソースに接続された電流検出抵抗でノイズが発生することがあります。このノイズによって検出コンパレータが誤ってトリップする可能性があり、その結果、スイッチがオフになるのが早まり、場合によっては、システムが再ソフトスタートします。これを防ぐために、LT3753は、OC信号と I_{SENSEP} 信号の両方に適応型リーディングエッジ・ブランキングを備えており、幅広いMOSFETの Q_G 定格に対応できます。さらに、 T_{BLNK} ピンとアナログ・グランド(ピン18)の間に抵抗 R_{TBLNK} を接続して、拡張ブランキング期間を設定できます(図6)。

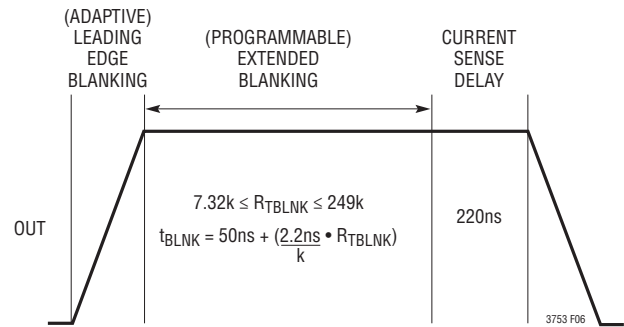


図6. 適応型リーディングエッジ・ブランキングおよび設定可能な拡張ブランキング

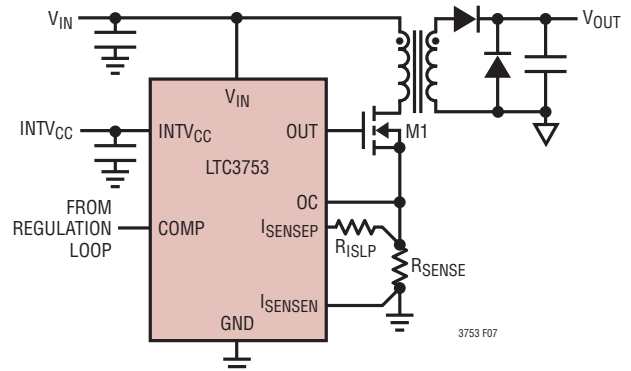


図7. 電流検出および設定可能なスロープ補償

適応型リーディングエッジ・ブランキングは、OUTの立ち上がりの開始で発生し、OUTが最大レベルから1V以内に達すると完了します。その後、拡張ブランキングが発生します。この拡張ブランキングは、次で与えられる R_{TBLNK} 抵抗を使用して設定できます。

$$t_{BLNK} = 50ns + \left(\frac{2.2ns}{k} \cdot R_{TBLNK} \right),$$

$$7.32k < R_{TBLNK} < 249k$$

適応型リーディングエッジ・ブランキングは、 R_{TBLNK} に必要な値を最小限に抑えます。 R_{TBLNK} を必要な値よりもさらに増やすと、M1の最小オン時間が増加します(図7)。

また、クリティカルなボルト秒クランプ(DV_{SEC})は、ブランキングされません。したがって、(ソフトスタートのフォールドバックおよび最大電圧で) DV_{SEC} が十分減少すると、ブランキングが完了する前にM1がオフになる場合があります。OC信号と I_{SENSEP} 信号が発生するのはM1がオンになったとき(およびブランキングの完了後)のみであるため、 R_{TBLNK} の値を次式で制限する必要があります。

$$(2.2ns/k)R_{TBLNK} < T_{VSEC(MIN)} - t_{ADAPTIVE} - 50ns$$

アプリケーション情報

ここで、

$$T_{VSEC(MIN)} = 10^9 (D_{VSEC(MAX)} / (\text{fold} \cdot f_{OSC})) \cdot (\text{Input}_{(MIN)} / \text{Input}_{(MAX)})$$

fold = f_{OSC} と D_{VSEC} のフォールドバック比 (OUTピン)

t_{ADAPTIVE} = OUTピンが INTV_{CC} - 1Vになるまでの立ち上がり時間

例: 図22の回路の場合、D_{VSEC(MAX)} = 0.77、Input_{(MIN)/(MAX)} = 17.4V/74V、fold = 4、t_{ADAPTIVE} = 23ns、および f_{OSC} = 240kHz、

$$T_{VSEC(MIN)} = 10^9 (0.77 / (4 \cdot 2.4 \cdot 10^5)) \cdot 17.4 / 74 = 188\text{ns}$$

$$(2.2\text{ns}/1\text{k})R_{TBLNK} < 188 - 23 - 50$$

$$R_{TBLNK} < 52.5\text{k} (\text{実際の回路では} 34\text{k} \text{を使用})$$

電流検出および設定可能なスローブ補償

LT3753は、外付けNチャンネルMOSFETのソースに接続された抵抗の両端の電圧を検出して、外部スイッチとフォワード・トランスの1次巻線のサイクルごとのピーク電流を設定します (図7)。

R_{SENSE}の両端の検出電圧は、I_{SENSEP}ピンの検出しきい値と比較され、COMPピンの電圧によって制御されます。2つの検出入力 (I_{SENSEP}およびI_{SENSEN})に、R_{SENSE}をケルビン接続できます。50%を超えるデューティ・サイクルで連続モードで動作する場合、抵抗 (R_{ISLP})をI_{SENSEP}ピンと直列に追加することによって、必要なスローブ補償を設定できます。I_{SENSE}ピンからは、ランプ電流が常に流れます。この電流は、デューティ・サイクルが0%の2μAから始まり、デューティ・サイクルが80%の33μAまで直線的に上昇します。R_{ISLP}の適切な開始値は、1.5kΩです。この値によって、65%のデューティ・サイクルでの電流コンパレータしきい値が合計41mV低下します。

COMPピンは、0mV ~ 220mVの範囲でI_{SENSEN}しきい値を設定します。220mVに設定すると、M1の最大動作電流を設定するR_{SENSE}のプログラミングに影響を与えずに、大きなスローブ補償の電圧低下がR_{ISLP}に存在できます。f_{SYNC}/f_{OSC}の比をx (1.0 < x < 1.25)とした場合、外部で設定されたスローブ補償は、1/1.2x倍に減少します。必要に応じて、外付け抵抗R_{ISLP}を1.2x倍に高く再設定できます

過電流:一時中断モード

LT3753は、OCピンで正確な96mVの検出しきい値を使用して、過剰なピーク・スイッチ電流を検出します (図7)。過負荷状態になるとスイッチングが直ちに停止し、SS1/SS2ピンが急速に放電されます。スイッチングが失われることでOCピンの検出電圧が減少し、SS1/SS2ピンの再充電が可能になり、最終的にスイッチングが再開されます。デバイスは、過電流状態が継続する限り、この一時中断モードに留まります。これによって、コンバータが保護され、各 부품の電力損失が低減します (「アプリケーション情報」の「ハードストップ」を参照)。96mVのピーク・スイッチ電流しきい値は、スローブ補償に使用されるR_{ISLP}での電圧低下からは独立しています。

一時中断モードをトリガする出力DC負荷電流は、次のとおりです。

$$= I_{LOAD(OVERCURRENT)} \\ = \left(\frac{N_p}{N_s} \cdot \frac{96\text{mV}}{R_{ISENSE}} \right) - (1/2 I_{RIPPLE(P-P)})$$

ここで、

N_p = フォワード・トランスの1次巻数

N_s = フォワード・トランスの2次巻数

I_{RIPPLE(P-P)} = 出力インダクタのピーク・トゥ・ピーク・リップル電流

R_{ISENSE}は、一時中断モードでの過電流を防ぐために、アプリケーションの最大DC負荷電流に負荷トランジェント時の十分なマージンを加えた電流を許容できるように設定する必要があります。

最大デューティ・サイクル・クランプ: D_{VSEC} (ボルト秒クランプ) の設定

固定最大デューティ・サイクル・クランプのみを提供する他のコンバータとは異なり、LT3753は、OUTピンに、システム入力と反比例して変化する高精度の設定可能な最大デューティ・サイクル・クランプ (D_{VSEC})を備えています。D_{VSEC}は、自然なデューティ・サイクルの全範囲にわたってオン時間ボルト秒積を制限するデューティ・サイクルのガードレールを提供

アプリケーション情報

します(図8および9)。これによって、トランスを完全にリセットするために必要なドレイン電圧を制限します。抵抗 R_{IVSEC} を $IVSEC$ ピンとアナログ・グランド(ピン18)の間に接続して、 $DVSEC$ を設定します。

$DVSEC$ (OUT ピンのデューティ・サイクル・クランプ)

$$= 0.725 \cdot \frac{R_{IVSEC}}{51.1k} \cdot \frac{f_{OSC}}{300} \cdot \frac{1.25}{UVLO_VSEC}$$

ここで、

R_{IVSEC} = $IVSEC$ ピンのプログラミング抵抗

f_{OSC} = スイッチング周波数 (kHz)

$UVLO_VSEC$ = 抵抗分割されたシステム入力電圧

R_{IVSEC} を使用して、最小システム入力に必要な任意の $DVSEC$ を設定できます。その後、 $DVSEC$ は、 V_{IN} が変化すると自然なデューティ・サイクルに追従します。設定可能な $DVSEC$ の最大値は0.75 (標準) ですが、トランスの設計と、1次側パワー MOSFET (SWP) のドレインに接続された部品の電圧定格によって、さらに制限される場合があります。LO 側と HI 側のアクティブ・クランプ・トポロジーの電圧計算を参照してください。

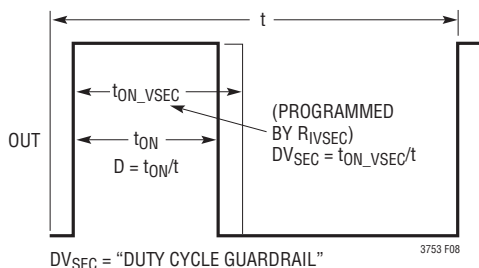


図8. ボルト秒 ($DVSEC$) クランプ

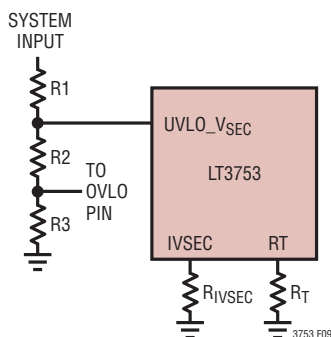


図9. $DVSEC$ の設定

システム入力電圧が $UVLO$ しきい値を下回った場合、デバイスは、スイッチングを継続したままソフトストップを開始します。LT3753には、システム入力電圧が低下したときに $DVSEC$ が上昇し続けるのを防止するインテリジェント回路が内蔵されています(「ソフトストップ」を参照)。この回路がないと、 $DVSEC$ が過大になり、トランスを適切にリセットするために SWP ノード上で極端に高いリセット電圧が必要になります。 $UVLO_VSEC$ ピンの最大動作電圧は、 $V_{IN} - 2V$ または $12.5V$ のいずれか低い方になります。

LT3753のボルト秒クランプ・アーキテクチャは、外付けRCネットワークをシステム入力に接続して内部コンパレータのしきい値をトリップするよりも、優れています。RC手法は、外付けコンデンサの誤差、デバイスごとのRC時定数とデバイスのスイッチング期間の間の不一致、内部コンパレータのしきい値の誤差、および低入力電圧で充電する場合の非線形性の影響を受けます。LT3753では、 R_{IVSEC} 抵抗を使用して、OUTピンの最大オン時間($t_{ON}(VSEC)$)を設定する内部タイマ・コンデンサの充電電流を定義します。 R_{IVSEC} の両端の電圧は、(システム入力電圧から分割された) $UVLO_VSEC$ ピンの電圧に従います。そのため、 R_{IVSEC} の電流は、入力電源とともに線形に変化します。また、LT3753は、内部のタイミング・コンデンサとコンパレータしきい値の誤差を取り除き、デバイスごとの $t_{ON}(VSEC)$ と T の間の一致を最適化します。

$DVSEC$ 開ループ制御: オプトカプラ、エラーアンプ、またはリファレンスがない場合

2次側にオプトカプラ、エラーアンプ、リファレンスがないなどの開ループ状態が存在する場合、正確で設定可能なボルト秒クランプ ($DVSEC$) によって、 V_{OUT} を安全に制御できます。 $DVSEC$ は、システム入力に反比例してデューティ・サイクルを制御することによって、コンバータの出力を制御します。 $DVSEC$ デューティ・サイクルのガードレールを自然なデューティ・サイクルの $X\%$ 上に設定した場合、閉ループ・システムが開かれると、 V_{OUT} は $X\%$ だけ増加します。このボルト秒クランプは、10:1のシステム入力電圧範囲で動作できます。「標準的性能特性」の $DVSEC$ と $UVLO_VSEC$ ピン電圧を参照してください。

R_{IVSEC} : ピン開放検出による安全性の提供

LT3753は、 R_{IVSEC} ピンに開放検出安全機能を備えています。抵抗 R_{IVSEC} がオープン状態になると、デバイスは直ちにスイッチングを停止します。これによって、ボルト秒クランプが設定されずにデバイスが動作するのを防ぎます。

アプリケーション情報

トランスのリセット:アクティブ・クランプ技術

LT3753は、AOUTピンに±0.4Aのゲート・ドライバを備えており、アクティブ・クランプ・トランス・リセット技術を利用することができます(図10、14)。アクティブ・クランプ手法によって効率が向上し、主電源スイッチM1の電圧ストレスが減少します。必要な場合にのみアクティブ・クランプ・コンデンサでスイッチングするため、M1のオン時間中にコンデンサの電荷が失われません。アクティブ・クランプ・コンデンサ(C_{CCL})に、トランスのリセットに必要な平均電圧を保持することができるため、主電源スイッチのドレイン電圧が低下します。

さらに、M1のアクティブ・クランプ・ドレイン波形(図11)によって、自己駆動型アーキテクチャが可能になります。このアーキテクチャでは、M3とのドレインがM4のゲートを、M4のドレインがM3のゲートをそれぞれ駆動するため、2次側の同期MOSFETドライバが不要になります(図21)。自己駆動型アーキテクチャでは、同期MOSFET M3、M4の最大V_{GS}定格を超えないように、M1のリセット電圧レベル、V_{OUT}レベル、および(システム入力範囲に左右される)デューティ・サイクル範囲を検討する必要があります。

アクティブ・クランプ・コンデンサが充電されてトランスのリセットに最適な電圧になるまでは、不安定なボルト秒によって励磁電流が上下に変動します。コンデンサの電圧定格は、アクティブ・クランプ・コンデンサがアクティブにグラウンドに切り替わるのか(図10)、それともアクティブにシステム入力に切り替わるのかによって変わります(図14)。アクティブ・クランプ・リセット・トポロジでは、ボルト秒を安定させるには、次式を満たす必要があります。

$$V_{IN} \cdot D = (SWP - V_{IN}) \cdot (1 - D)$$

ここで、

V_{IN} = トランスの入力電源

D = (V_{OUT}/V_{IN})・N = スイッチM1のデューティ・サイクル

V_{OUT} = 出力電圧(M1がオフのときのM4のキャッチ・ダイオードによる電圧低下を含む)

N = トランスの巻数比 = N_P/N_S

SWP = M1のドレイン電圧

L0側アクティブ・クランプ・トポロジ(LT3753)

L0側アクティブ・クランプ・トポロジ(図10)のトランスをリセットするために必要な定常状態のアクティブ・クランプ・コンデンサ電圧(V_{CCL})は、スイッチM1のドレイン-ソース間電圧(V_{DS})として次式で近似できます。

V_{CCL}(L0側):

(a) 定常状態: V_{CCL} = SWP = V_{DS}

$$= \left(\frac{1}{1-D} \right) \cdot V_{IN} = \frac{V_{IN}^2}{(V_{IN} - (V_{OUT} \cdot N))}$$

(b) トランジェント:

負荷トランジェント中は、デューティ・サイクルが増えてV_{CCL}が増加することがあります。トランジェント中のV_{CCL}値を計算するには、上の式のDをD_{VSEC}に置き換えます。前述のデューティ・サイクル・クランプ-D_{VSEC}の設定のセクションを参照してください。D_{VSEC}ガードレールをDよりも約5%高く設定すると、さらに大きなマージンが必要な場合もありますが、トランジェント応答が向上します。

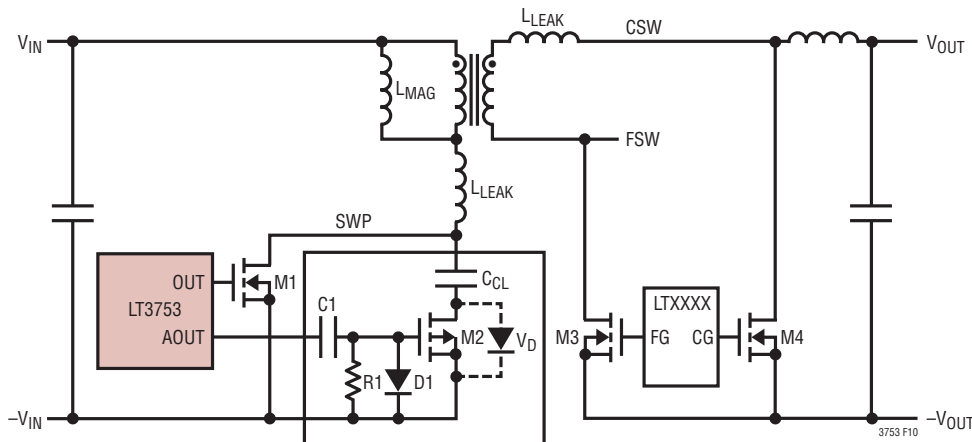


図10. L0側アクティブ・クランプ・トポロジ

アプリケーション情報

図12に示すように、定常状態の V_{CCL} の最大値は、最小入力電圧または最大入力電圧で発生する可能性があります。そのため、両方の入力電圧レベルで V_{CCL} を計算し、2つの計算値のうちの大きい方を使用します。M1のドレインの電圧定格は、デューティ・サイクル、負荷トランジェント、 C_{CL} の電圧リップル、漏れインダクタンス・スパイクの許容誤差のため、定常状態の V_{DS} の計算値を上回る必要があります。 C_{CL} の定格は、コンデンサ値に対する電圧係数の影響により、さらに高くなります。標準的な C_{CL} の選択は、高品質のX7Rコンデンサです。M2の V_{DS} の定格は、 V_{CCL} よりも大きい必要があります。これは、M1がオン、M2がオフのときに、 C_{CL} の下側プレートに電圧が $-V_{CCL}$ になるためです。高入力電圧アプリケーションの場合、使用可能なPチャネルMOSFETの制限された V_{DS} 定格により、LO側アクティブ・クランプ・トポロジーからHI側アクティブ・クランプ・トポロジーへの変更が必要になることがあります。

定常状態にあるLO側アクティブ・クランプ・トポロジーでは、M1がオンのときに、励磁電流(I_{MAG})が負値から正值に増加します(図11)。M1がオフになると、励磁電流によって、 V_{CCL} にM2のボディ・ダイオードの電圧低下を加えた値に達するまで、SWPが充電されます。この瞬間にアクティブ・クランプ・コ

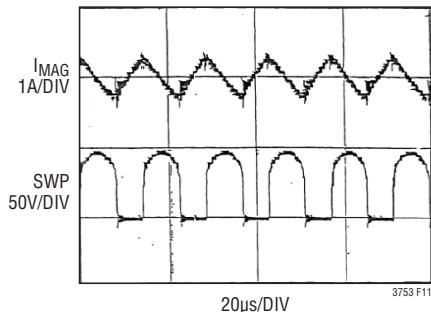


図11. アクティブ・クランプ・リセット: 励磁電流とM1ドレイン電圧

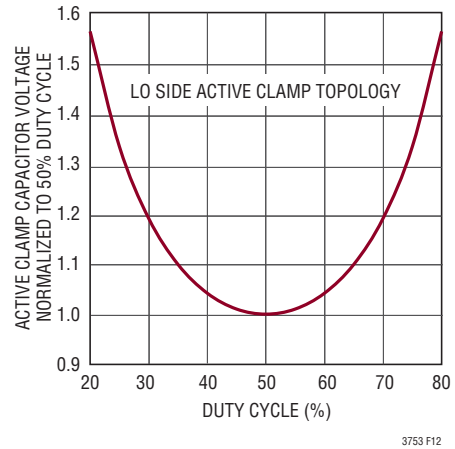


図12. LO側 V_{CCL} とデューティ・サイクル (50%のデューティ・サイクルに正規化)

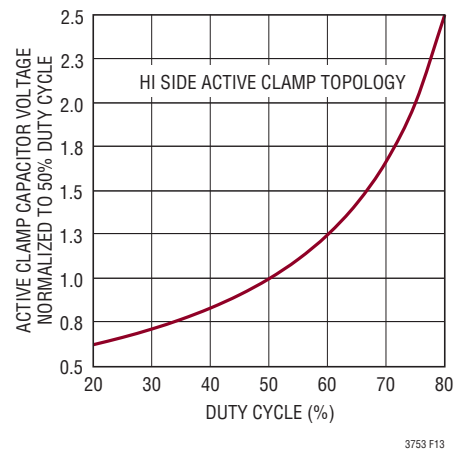


図13. HI側 V_{CCL} とデューティ・サイクル (50%のデューティ・サイクルに正規化)

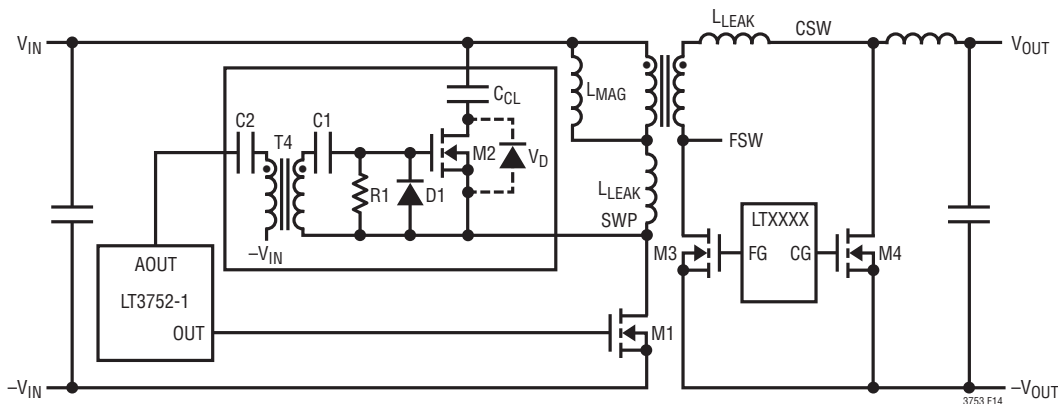


図14. HI側アクティブ・クランプ・トポロジー (LT3752-1を使用)

アプリケーション情報

コンデンサが(M2のボディ・ダイオードの順方向導通により)受動的にグラウンドに切り替わり、C_{CL}の負荷により、さらに緩やかな速度でドレイン電圧が増加します。SWPがV_{IN}を超えると、I_{MAG}が正值からゼロに向かって減少します(dV_{SWP}/dT = 0)。I_{MAG}が負になると、SWPノードの放電が開始されます。I_{MAG}が反転する前のM2のスイッチングによって、C_{CL}の下側プレートがグラウンドにアクティブに接続され、SWPは緩やかに放電することができます。M1がオフのときに得られるSWP波形は、C_{CL}でのリップル電圧を表す重畳正弦波ピークを持つ方形波として現れます。

スイッチM2では、ゼロ近くの電圧スイッチング(ZVS)が発生します。これは、スイッチがオンのときに、M2の両端にはボディ・ダイオードの電圧低下のみが現れるためです。

HI側アクティブ・クランプ・トポロジ (LT3752-1)

高入力電圧アプリケーションの場合、使用可能なPチャネルMOSFETのV_{DS}定格が、LO側アクティブ・クランプ・トポロジ (図10)のアクティブ・クランプ・スイッチとして使用するには不十分であることがあります。その場合は、HI側アクティブ・クランプ・トポロジ (図14)を用いるNチャネル方式を使用してください (LT3752-1は、HI側アクティブ・クランプ・トポロジに最適です)。このトポロジでは、ゲート駆動トランスまたは単純なゲート駆動オプトカプラを使用して、NチャネルMOSFET (M2)を駆動し、アクティブ・クランプ・コンデンサをSWPからV_{IN}に切り替える必要があります。M1のドレイン電圧の計算方法はLO側アクティブ・クランプの場合と同じであり、同様の方法でM1の定格を選択します。ただし、HI側アーキテクチャのクランプ・コンデンサの両端の電圧は、V_{IN}を基準にしているため、V_{IN}の分だけ低下します。

HI側アクティブ・クランプ・トポロジのトランスをリセットする定常状態のアクティブ・クランプ・コンデンサ電圧V_{CCL}は、次式で近似できます。

V_{CCL} (HI側):

$$(a) \text{ 定常状態: } V_{CCL} = V_{RESET} = V_{DS} - V_{IN}$$

$$= \left(\frac{D}{1-D} \right) \cdot V_{IN} = V_{IN} \cdot V_{OUT} \cdot \frac{N}{V_{IN} - (V_{OUT} \cdot N)}$$

(b) トランジェント:

負荷トランジェント中は、デューティ・サイクルが増えてV_{CCL}が増加することがあります。トランジェント中のV_{CCL}値を計算するには、上の式のDをD_{VSEC}に置き換えます。D_{VSEC}ガードレールをDよりも約6%高く設定すると、さらに大きなマージンが必要になる場合もありますが、トランジェント応答が向上します。前述のデューティ・サイクル・クランプ-D_{VSEC}の設定のセクションを参照してください。

C_{CL}の電圧定格は、デューティ・サイクル、負荷トランジェント、C_{CL}の電圧リップル、容量値に対する電圧係数の影響の許容誤差のため、上の定常状態の計算値を上回る必要があります。標準的なC_{CL}の選択は、高品質のX7Rコンデンサです。ゲート駆動トランスを使用してアクティブ・クランプ・スイッチ (M2)を制御する場合は、外付け部品C1、C2、R1、D1、およびT4が必要になります。設定されたスイッチング周波数が低いほど、最小ボルト秒要件のため、T4のサイズが増えます。ソリューションのサイズが小さい場合は、代わりに単純なゲート駆動オプトカプラをスイッチとして使用してM2を制御できます。

アクティブ・クランプ・コンデンサ値と電圧リップル

アクティブ・クランプ・コンデンサの値は、SWPに接続される部品が許容する電圧リップル量に基いて選択する必要があります。C_{CL}の値を小さくすると(1次側パワーMOSFETのドレイン電圧が増加して)電圧リップルが大きくなりますが、デューティ・サイクルの変化時にアクティブ・クランプ・コンデンサを変化させるために必要な励磁電流の振幅が減少します。大きすぎる(リップル電圧を許容できるレベルに維持するために必要な値を上回る)アクティブ・クランプ・コンデンサの値を選択すると、過渡状態のときに不要な追加磁束振幅が必要になります。磁束振幅検出を備えるシステムの場合、アクティブ・クランプ・コンデンサの値が大きすぎると、検出システムの起動が早まり、トランジェント応答が低下します。

検討するべき別の要因として、C_{CL}とメイン・トランスの磁化インダクタンス(L_{MAG})との間の共振があります。RCスナバ(R_S、C_S)をC_{CL}に並列に接続すると、入力/負荷トランジェント時の

アプリケーション情報

正弦波リングが減衰し、1次側MOSFETのドレインでのピーク電圧が制限されます。回路性能を確認して、スナバが必要かどうかを決定します。部品の値は次式で近似できます。

$$C_{CL} (\text{active clamp capacitance}) = \frac{10}{L_{MAG}} \cdot \left(\frac{(1-D_{MIN})}{2 \cdot \pi \cdot f_{OSC}} \right)^2$$

ここで、

$$D_{MIN} = (V_{OUT}/V_{IN(MAX)}) \cdot N_p/N_s$$

および(必要に応じて)

$$C_S (\text{スナバの容量}) = 6 \cdot C_{CL}$$

$$R_S (\text{スナバの抵抗}) = (1/(1-D_{MAX})) \cdot \sqrt{(L_{MAG}/C_{CL})}$$

ここで、

$$D_{MAX} = (V_{OUT}/V_{IN(MIN)}) \cdot N_p/N_s$$

定常状態で動作するときのSWPの電圧リップルを確認します。

C_{CL} の電圧リップルは次式で推定できます。

$$V_{CCL(RIPPLE)} = V_{CCL} \cdot (1-D)^2 / (8 \cdot C_{CL} \cdot L_{MAG} \cdot f_{OSC}^2)$$

ここで、

$$D = (V_{OUT}/V_{IN}) \cdot (N_p/N_s)$$

$$V_{CCL} = V_{IN}/(1-D) \text{ (LO側アクティブ・クランプ・トポロジー)}$$

$$V_{CCL} = D \cdot V_{IN}/(1-D) \text{ (HI側アクティブ・クランプ・トポロジー)}$$

例: $V_{IN} = 36V$ 、 $V_{OUT} = 12V$ 、 $N_p/N_s = 2$ 、 $V_{CCL} = 108V$ (LO側アクティブ・クランプ・トポロジー)、 $C_{CL} = 22nF$ 、 $L_{MAG} = 100\mu H$ 、 $f_{OSC} = 250kHz$ の場合、 $V_{CCL(RIPPLE)} = 108(0.33)^2 / (8(22 \cdot 10^{-9})(10^{-4})(2.5 \cdot 10^4)^2) = 10.7V$

トランスは、通常、過剰なコア損失を防ぐのに十分なほど低い最大磁束密度で動作するように選択します。そうすることで、入力トランジェントおよび負荷トランジェント時に十分な余裕が得られ、デューティ・サイクルの変化に追従できるほど十分な早い速度でアクティブ・クランプ・コンデンサを変化させることもできます。

アクティブ・クランプMOSFETの選択

アクティブ・クランプMOSFETの選択は、予想されるドレイン電圧とドレイン電流の最大レベルによって決まります。LO側またはHI側アクティブ・クランプ・トポロジーのアクティブ・クランプ・スイッチ(M2)には、メインNチャネル・パワーMOSFETと同じBV_{dss}要件があります。電流要件は、以下の2つのカテゴリに分かれています。

(A)ドレイン電流

この電流は、励磁電流のみがアクティブ・クランプMOSFETに発生するため、通常はメインNチャネル・パワーMOSFETよりも低くなり、次式で推定されます。

$$\text{ピーク } I_{MAG} (\text{定常状態}) = (1/2) \cdot (N_p/N_s) \cdot (V_{OUT}/L_{MAG}) \cdot (1/f_{OSC})$$

ここで、

$$L_{MAG} = \text{メイン・トランスの磁化インダクタンス}$$

例(LT3752): $V_{OUT} = 12V$ 、 $N_p/N_s = 2$ 、 $f_{OSC} = 250kHz$ 、および $L_{MAG} = 100\mu H$ の場合、ピーク $I_{MAG} = 0.48A$ 。

L_{MAG} 、 f_{OSC} 、および過渡状態の変動に対する安全マージンを確保するには、この値を2倍にします。

(B)ボディー・ダイオード電流

ボディー・ダイオードには、メインNチャネル・パワーMOSFETがオフになるたびに、影響を受けた出力電流がパルスとして発生します。これは、トランスの漏れインダクタンスに保存された残留エネルギーに起因します。アクティブ・クランプMOSFETのボディー・ダイオードの定格は、以下の順方向パルス電流に耐える必要があります。

$$I_D(MAX) = (N_s/N_p) (I_{OUT(MAX)} + (I_L(RIPPLE)(P-P)/2))$$

ここで、

$$I_L(RIPPLE)(P-P) = \text{出力インダクタ・リップル電流} = (V_{OUT}/(L_{OUT} \cdot f_{OSC})) \cdot (1 - (V_{OUT}/V_{IN})(N_p/N_s))$$

$$I_{OUT(MAX)} = \text{最大出力負荷電流}$$

アプリケーション情報

アクティブ・クランプ・スイッチのタイミングの設定 AOUT～OUT間遅延(t_{AO})およびOUT～AOUT間遅延(t_{OA})

タイミング t_{AO} および t_{OA} は、AOUTとOUTのエッジ間の遅延を表しており(図1、2)、1つの抵抗(R_{TAO})をアナログ・グランド(ピン18)と T_{AO} ピン間に接続して設定されます。下に示す理由で t_{AO} を設定すると、 t_{OA} が自動的に発生します。

フロントエンド・タイミング t_{AO} (M2がオフ、M1がオン)

= AOUT(エッジ)からOUT(立ち上がり)まで

$$= 50\text{ns} + 3.8\text{ns} \cdot \left(\frac{R_{TAO}}{1\text{k}} \right), 14.7 < R_{TAO} < 125\text{k}$$

M1でのターンオン遷移損失を最小限に抑えるには、M1がオンになる前にM1のドレイン電圧をできるだけ低くする必要があります。これを実現するには、AOUTがM2をオフにした後に、 t_{AO} だけ遅延してからOUTがM1をオンにします。これによって、M1がオンになる前に、メイン・トランスの励磁電流がM1ドレイン電圧を V_{IN} に向けて素早く放電できます。

通常は、SWPが V_{IN} を下回ると、2次側の整流ダイオードがアクティブになり、SWPノードを V_{IN} 近くにクランプします。ところが、十分な漏れインダクタンスが存在すると、2次側によるSWPのクランプ動作が遅延し、M1がオンになる直前にM1のドレインをグランドに完全に放電できる可能性があります。漏れインダクタンスによるこの遅延が発生する場合でも、 L_{MAG} を十分低くして、M1がオンになる前にSWPをグランドに引き下げるのに十分なほど低く I_{MAG} を負にできる必要があります。これが実現できれば、M1にはゼロ電圧スイッチング(ZVS)が発生し、最高の効率を得られます。後の「1次側パワーMOSFETの選択」で説明するように、M1の遷移損失はM1の損失の大きな要因になります。

バックエンド・タイミング t_{OA} (M1がオフ、M2がオン)は自動的に生成されます

= OUT(立ち下がり)からAOUT(エッジ)まで = $0.9 \cdot t_{AO}$

t_{OA} を調べて、M1とM3がオフになる前にM2がオンにならないことを確認してください。

同期整流器のタイミングの設定 SOUT～OUT間遅延(t_{SO}) およびOUT～SOUT間遅延(t_{OS})

LT3753は、SOUTピンに $\pm 0.4\text{A}$ のゲート駆動を備えており、これによって制御信号をパルス・トランスを介してフォワード・コンバータの2次側に送信し、同期整流を行います(図1および2を参照)。最高の効率を得るには、M1がオフになったときに必ずM4がオンになる必要があります。このためには、SOUTがOUTとの非オーバーラッピング信号であり、非オーバーラップ時間が非常に短いことが推奨されます。ただし、アプリケーションごとに異なる固有のタイミング遅延が、OUTとCSWの間およびSOUTとCGの間に存在する可能性があります。M1とM4が同時にオンになると、シュートスルーが発生する場合があります、その結果、トランスやスイッチが損傷します。

フロントエンド・タイミング: t_{SO} (M4がオフ、M1がオン)

= SOUT(立ち下がり)からOUT(立ち上がり)までの遅延

= $t_{SO} = t_{AO} - t_{AS}$

= $3.8\text{ns} \cdot (R_{TAS} - R_{TAO})$

ここで、

$t_{AS} = 50\text{ns} + (3.8\text{ns} \cdot R_{TAS}/1\text{k}), 14.7\text{k} < R_{TAS} < 125\text{k}$ 、

$t_{AO} = 50\text{ns} + (3.8\text{ns} \cdot R_{TAO}/1\text{k}), 14.7\text{k} < R_{TAO} < 125\text{k}$

t_{SO} は、抵抗 R_{TAS} をアナログ・グランド(ピン18)と T_{AS} ピンの間に接続し、抵抗 R_{TAO} をアナログ・グランド(ピン18)と T_{AO} ピンの間に接続することによって定義されます。これらの抵抗は、AOUTのエッジを基準にした各サイクルの開始時の遅延を定義します。 R_{TAO} は、前のAOUT～OUT間遅延の設定のセクションで定義された要件に基づいて、既に設定されています。次に、上の t_{SO} の式を満たすように、 R_{TAS} をAOUTからSOUTまでの遅延として設定します。 R_{TAO} よりも小さいまたは大きい R_{TAS} を選択して、SOUTの立ち下がりからOUTの立ち上がりまでの遅延を正または負として設定できます。 t_{SO} を常に正の遅延に設定できますが、負の遅延に設定する機能を使用すると、OUT(立ち上がり)からCSW(立ち上がり)までの遅延がSOUT(立ち下がり)からCG(立ち上がり)までの遅延よりも大きい場合に、効率を向上できます。

バックエンド・タイミング: t_{OS} (M1がオフ、M4がオン)

= OUT(立ち下がり)からSOUT(立ち上がり)までの遅延

= $t_{OS} = 35\text{ns} + (2.2\text{ns} \cdot R_{TOS}/1\text{k}), 7.32\text{k} < R_{TOS} < 249\text{k}$

アプリケーション情報

タイミング抵抗 (R_{TOS}) は、OUT (立ち下がり) から SOUT (立ち上がり) までの遅延を定義します。OUT の立ち下がりから SW2 の立ち下がりまでに固有の大きな遅延が存在するアプリケーションの場合、このピンを使用して正の遅延を設定できます。

ソフトスタート (SS1、SS2)

LT3753 は、さまざまなソフトスタート・パラメータ用に SS1 ピンと SS2 ピンを使用します (図3および5)。SS1 は、内部発振器周波数と D_{VSEC} (最大デューティ・サイクル・クランプ) をソフトスタートします。SS2 は、COMP ピンの電圧をソフトスタートして、出力インダクタ・ピーク電流を制御します。SS1 ピンと SS2 ピンを別々に使用することで、発振器周波数と D_{VSEC} のソフトスタート・ランプを COMP ピンのソフトスタートから独立させることができます。通常は、SS1 のコンデンサ (C_{SS1}) として $0.47\mu\text{F}$ を選択し、SS2 のコンデンサ (C_{SS2}) として $0.1\mu\text{F}$ を選択します。ソフトスタートの充電電流は、SS1 の場合、 $11.5\mu\text{A}$ 、SS2 の場合、 $21\mu\text{A}$ です。

以下の条件 (標準値) が全て存在する場合、SS1 は充電 (ソフトスタート) を開始できます。

- (1) $UVLO_{VSEC} > 1.25\text{V}$: システム入力が UVLO 状態ではない
- (2) $OVLO < 1.215\text{V}$: システム入力が OVLO 状態ではない
- (3) $OC < 96\text{mV}$: 過電流状態ではない
- (4) $7\text{V} < INTV_{CC} < 16\text{V}$: $INTV_{CC}$ が有効
- (5) $T_J < 165^\circ\text{C}$: 接合部温度が有効
- (6) $V_{IN} > 7.75\text{V}$: V_{IN} ピンが有効

$SS1 = 0\text{V} \sim 1.25\text{V}$ (スイッチングなし)。これは、フォワード・コンバータのスイッチングがない場合の SS1 の範囲です。SS2 = 0V 。

SS1 > 1.25V の場合、SS2 は 0V から充電を開始できます。

$SS1 = 1.25\text{V} \sim 2.45\text{V}$ (f_{OSC} 、 D_{VSEC} をソフトスタートします)。これは、設定したレベルの 22% から 100% にフォールドバックして f_{OSC} と D_{VSEC} をソフトスタートする場合の SS1 の範囲です。 f_{OSC} と D_{VSEC} のフォールドバックは、1 次側 MOSFET の実効最小デューティ・サイクルを減少させます。これによって、ソフトスタート時の低出力電圧でインダクタ電流を制御できます。

コンバータが低出力電圧でインダクタ電流を制御できるほど長く f_{OSC} と D_{VSEC} のフォールドバックが持続するように、十分遅い SS1 のランプレートを選択します。また、SS1 のランプレ

ートを遅くすると、出力がグラウンドに短絡するフォールト時 (過電流一時中断モード) の非スイッチング期間が増加して、平均電力損失が減少します (「ハードストップ」を参照)。

$SS2 = 0\text{V} \sim 1.6\text{V}$ (COMP ピンをソフトスタートします)。これは、COMP ピンを約 1V から 2.6V にソフトスタートする場合の SS2 の範囲です。

2 次側オプトカプラ・コントローラから COMP ピンの (より遅い) ソフトスタートを制御できるほど十分速い SS2 のランプレートを選択します。

SS1 ソフトスタートの非スイッチング期間 ($0\text{V} \sim 1.25\text{V}$)
 $= 1.25\text{V} \cdot C_{SS1} / 11.5\mu\text{A}$

SS1 ソフトスタートの f_{OSC} 、 D_{VSEC} の期間 ($1.25\text{V} \sim 2.45\text{V}$)
 $= 1.2\text{V} \cdot C_{SS1} / 11.5\mu\text{A}$

SS2 ソフトスタートの COMP の期間 ($0\text{V} \sim 1.6\text{V}$) = $1.6\text{V} \cdot C_{SS2} / 21\mu\text{A}$

ソフトストップ (SS1)

システム入力で UVLO が発生するか、外部ソフトスタート・シャットダウン・コマンドが発生した場合 ($0.4\text{V} < UVLO_{VSEC} < 1.25\text{V}$)、LT3753 は SS1 ピンを徐々に放電 (ソフトストップ) します。SS1 のソフトストップ時に、コンバータはスイッチングを継続し、 f_{OSC} 、 D_{VSEC} 、および COMP ピンの電圧をフォールドバックします (図3および15)。ソフトストップの放電電流は、SS1 の場合、 $10.5\mu\text{A}$ です。ソフトストップは以下の機能を提供します。

- (1) 出力放電中の 2 次巻線のアクティブ制御により、自己駆動型アプリケーションでのクリーンなシャットダウンを実現。
- (2) アクティブ・クランプ・コンデンサの制御された放電により、再起動時の励磁電流振幅を最小化。

SS1 : $2.45\text{V} \sim 1.25\text{V}$ (f_{OSC} 、 D_{VSEC} 、COMP をソフトストップします)。これは、以下のフォールドバックをソフトストップする場合の SS1 の範囲です。

- (1) 設定されたレベルの 100% から 22% までの f_{OSC} および D_{VSEC}
- (2) COMP ピン (設定されたピーク電流の 100% から 0% まで)

SS1 ソフトストップの f_{OSC} 、 D_{VSEC} 、COMP の期間 ($2.45\text{V} \sim 1.25\text{V}$) = $1.2\text{V} \cdot C_{SS1} / 10.5\mu\text{A}$

アプリケーション情報

HARD STOP (FAULTS)	SOFT-START (WHEN ALL CONDITIONS SATISFIED)	SOFT-STOP ($0.4V < UVLO_V_{SEC} < 1.25V$)
(1) $UVLO_V_{SEC} < 0.4V$	(1) $UVLO_V_{SEC} > 1.25V$	(1) EXTERNAL SOFT-STOP SHUTDOWN
(2) $OVLO > 1.25V$	(2) $OVLO < 1.215V$	(2) SYSTEM INPUT UVLO
(3) $OC > 96mV$	(3) $OC < 96mV$	
(4) $INTV_{CC} < 6.8V, > 16.5V$	(4) $7V < INTV_{CC} < 16V$	
(5) $T_J > 170^\circ C$	(5) $T_J < 165^\circ C$	
(6) $V_{IN} < 7.42V$	(6) $V_{IN} > 7.75V$	

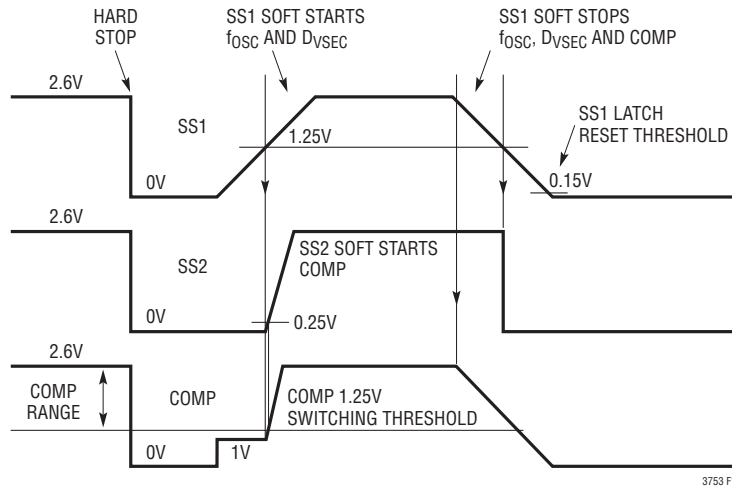


図15. フォールト時、ソフトスタート時、およびソフトストップ時のSS1ピン、SS2ピン、およびCOMPピンの電圧

$SS1 < 1.25V$ 。フォワード・コンバータはスイッチングを停止し、SS2ピンは2.8mAを使用して0Vに放電されます。

$SS1 = 1.25V \sim 0V$: SS1が0.15V未満に低下すると、内部のSS1のラッチがリセットされます。全てのフォールトが取り除かれると、SS1は充電を再開します。フォールトがまだ残っている場合、SS1は0Vに放電されます。

SS1ソフトストップの非スイッチング期間($1.25V \sim 0V$) = $1.25V \cdot C_{SS1} / 10.5\mu A$

システム入力電圧が低下すると、最大デューティ・サイクルのガードレール(ボルト秒クランプ)を提供するために、 D_{VSEC} が上昇します。ただし、システム入力電圧が $UVLO$ しきい値よりも低下すると、コンバータがスイッチングを継続したまま、ソフトストップがトリガされます。システム入力電圧が低下し続けていても、 D_{VSEC} が増加しなくなるということは、重要です。LT3753は、 I_{VSEC} ピンの最小レベルを1.25Vにクランプすることによって、 D_{VSEC} の上側クランプを実現します。ソフトストップ時にSS1ピンが放電すると、 D_{VSEC} がフォールドバックされます。 D_{VSEC} がコンバータの自然なデューティ・サイクルよりも

低下すると、コンバータのループは D_{VSEC} に従います。ソフトストップ時にシステム入力電圧が上昇する(I_{VSEC} ピンの電圧が上昇する)と、ボルト秒クランプ回路によって D_{VSEC} がさらに低下します。デバイスは、 I_{VSEC} ピンまたはSS1ソフトストップ機能で設定されたいずれか低い方の D_{VSEC} を選択します。

ハードストップ(SS1、SS2)

以下のいずれかのフォールト(標準値)が発生すると、スイッチングが直ちに停止し、SS1ピンとSS2ピンの両方が急速に放電します(図15.のハードストップ)。

- (1) $UVLO_V_{SEC} < 0.4V$: マイクロパワー・シャットダウン
- (2) $OVLO > 1.250V$: システム入力OVLO
- (3) $OC > 96mV$: 過電流状態
- (4) $INTV_{CC} < 6.8V$ ($UVLO$)、 $> 16.5V$ ($OVLO$)
- (5) $T_J > 170^\circ C$: サーマル・シャットダウン
- (6) $V_{IN} < 7.42V$: V_{IN} ピンの $UVLO$

アプリケーション情報

上記のいずれかのフォールトが発生した場合、スイッチングが直ちに停止します。SS1が放電して0.15Vを下回ったときに、フォールトが全て取り除かれていれば、充電が再開されます。OC > 96mVでトリガされる過電流フォールトの場合、スイッチングがディスエーブルされて、OCピンの電圧が96mV未満に低下します。これによってSS1とSS2を再充電することができ、最終的にスイッチングを再開できます。過電流状態がまだ存在する場合、OCピンの電圧が再び96mVを超え、SS1とSS2の放電/充電サイクルが一時中断モードで繰り返されます。一時中断モード時の非スイッチング・デッドタイム期間によって、過電流フォールト状態にあるコンバータが消費する平均電力が減少します。デッドタイムは、0.15Vから1.25VまでのSS1の再充電によって左右されます。

過電流(一時中断モード)での非スイッチング期間:
 $= 1.1V \cdot C_{SS1} / 11.5\mu A$

OUT、AOUT、SOUTのパルス・スキップ・モード

負荷ステップ時、初期ソフトスタート時、ソフトストップの終了時、または軽負荷動作時(フォワード・コンバータがDCMで動作するように設計されている場合)に、OUTピンでのパルス・スキップがループで必要になる場合があります。これは、COMPピンの電圧がスイッチングしきい値を下回った場合に発生します。OUTがオンになっているときにCOMPピンの電圧がスイッチングしきい値よりも下に低下すると、LT3753は直ちにOUTをオフにします。AOUTとSOUTは、OUTの立ち下がりエッジを基準にする正常信号タイミングを終了します。次のスイッチング・サイクルの開始時に、COMPピンの電圧がまだスイッチングしきい値を下回っている場合、LT3753は次のOUTのパルスをスキップし、それによってAOUTとSOUTのパルスもスキップされます。AOUT制御の場合、これによって、OUTが失われたときにアクティブ・クランプ・コンデンサが誤って放電されるのを防ぎ、さらに、トランスで逆飽和が発生するのを防ぎます。SOUT制御の場合、これによって、2次側同期整流器コントローラがフォワードFETの導通と同期FETの導通の間で誤ってスイッチングするのを防ぎます。LT3753は、OUT信号が次のサイクルに必要な場合、必要なAOUTおよびSOUT制御信号を適切に再構築します。

AOUTのタイムアウト

ソフトスタートでのコンバータの起動時に、スイッチング周波数と最大デューティ・サイクル・クランプ DV_{SEC} は両方ともフォールドバックされます。これによってOUTピンの実効最小オン時間が適切に減少し(起動時に出力電圧が極めて低い場合にインダクタ電流が制御可能になり)ますが、これは、AOUTピンのオン時間が増加する可能性があることを意味します。AOUTが制御するアクティブ・クランプ・スイッチが長時間オンのままにならないようにするために、LT3753は、AOUT信号をオフにする15 μs のタイムアウト機能を内蔵しています。これによって、逆飽和が発生するほど長時間、アクティブ・クランプ・コンデンサがトランスの1次巻線の両端に接続されるのを防ぎます。

メイン・トランスの選択

メイン・トランスの選択は、絶縁電圧、電力レベル、最大ボルト秒、巻数比、部品サイズ、電力損失、およびスイッチング周波数といった、アプリケーション要件に左右されます。

漏れインダクタンスと部品の高さを最小限に抑えるために、通常は、平面巻きの手法を使用したトランス構造が選択されます。高周波アプリケーションの場合、トランスのコア・タイプは、通常はフェライト材です。

まず、アプリケーションの絶縁要件と電力レベル要件の両方を満たすトランスのファミリーを探します。次に、そのファミリー内から、アプリケーションに適したトランスを見つけます。その後のトランス設計の思考過程は、次のとおりです。

- (1) 2次巻数(N_S)、コア損失、温度上昇、磁束密度、スイッチング周波数
- (2) 1次巻数(N_P)、最大デューティ・サイクル、およびリセット電圧
- (3) 銅損失

2次巻数(N_S)は、次式で与えられます。

$$N_S = 10^8 V_{OUT} / (f_{OSC} \cdot A_c \cdot B_m)$$

アプリケーション情報

ここで、

$$A_C = \text{コアの断面積 (cm}^2\text{)}$$

$$B_M = \text{必要な最大 AC 磁束密度}$$

磁束密度については、与えられたスイッチング周波数で許容可能なコア損失/温度上昇を達成するレベルを選択します。トランスのデータシートには、さまざまなスイッチング周波数でのコア損失と磁束密度の曲線が記載されています。データシートには、温度上昇とコア損失の曲線も記載されています。過剰なコア損失を防ぐように B_M の値を選択すると、通常は入力/負荷トランジェント時の磁束振幅に対して十分な余裕が得られますが、さらに、必ずトランス・コアの飽和磁束密度を十分に下回るようにしてください。必要に応じて N_S を増やすと、磁束密度が減少します。 N_S を計算したら、1次巻数 (N_P) を次式で計算できます。

$$N_P = N_S \cdot D_{MAX} V_{IN(MIN)}/V_{OUT}$$

ここで、

$$V_{IN(MIN)} = \text{最小システム入力電圧}$$

$$D_{MAX} = V_{IN(MIN)} \text{ でのスイッチの最大デューティ・サイクル (通常は } 0.6 \sim 0.7 \text{ を選択)}$$

最小入力電圧では、コンバータは最大デューティ・サイクル D_{MAX} で動作します。トランスの巻数比 (N_P/N_S) を高くするほど、より大きい D_{MAX} が生成されますが、トランスをリセットするために、1次側スイッチのドレインの電圧を高くすることも必要になります(前述の「LO側アクティブ・クランプ・トポロジー」と「HI側アクティブ・クランプ・トポロジー」を参照)。 D_{MAX} の値は、通常は $0.6 \sim 0.7$ の間で選択します。 D_{MAX} 値が与えられた場合でも、ループによって、トランジェントまたはフォールト時にデューティ・サイクルが過度に D_{MAX} を超えることに対する保護機能を提供する必要があります。ほとんどのコンバータは固定デューティ・サイクル・クランプのみを提供しますが、LT3753 は、入力電圧と反比例して変化することもできる設定可能な最大デューティ・サイクル・クランプ D_{VSEC} を提供します。

これによって、設定可能なボルト秒クランプ機能が得られます。この機能によって、ユーザは D_{MAX} に対するトランスの巻数比を選択し、次に、安全のために D_{MAX} を超える最大デューティ・サイクル・クランプ D_{VSEC} をカスタマイズできます。その後、 D_{VSEC} は、安全ガードレールとしてコンバータの自然なデューティ・サイクルに追従します(前述のデューティ・サイクル・クランプの設定のセクションを参照)。

特定のトランスと巻数比を決定したら、次に、銅損失を次式で近似できます。

$$P_{CU} = D \cdot I(\text{Load})_{(MAX)}^2 (R_{SEC} + (N_S/N_P)^2 R_{PRI})$$

ここで、

$$D = \text{スイッチのデューティ・サイクル (公称 } 0.5 \text{ を選択)}$$

$$I(\text{Load})_{(MAX)} = \text{最大負荷電流}$$

$$R_{PRI} = \text{1次側巻線抵抗}$$

$$R_{SEC} = \text{2次側巻線抵抗}$$

コア損失と銅損失が大きく違う場合、より適切なバランスを実現するように2次巻数を調整できます。その後、目的の巻数比を維持するように1次巻数を再計算します。

補助電源の生成

多くの絶縁型フォワード・コンバータ・アプリケーションでは、1次側回路または2次側回路、あるいはその両方に、補助バイアスが必要になります。このバイアスは、次の理由により、必要になります。それらは、デバイスに発生する電圧を制限するため、効率を向上するため、デバイス内部から電力損失を除去するため、または目標出力電圧レギュレーションを達成する前(例えば、 V_{OUT} の起動時)にデバイスに電力を供給するためです。

補助電源を生成する最良の方法、つまり、 $V_{OUT} = 0V$ の場合でも使用できる方法は、ハウスキーピング・コントローラを1次側デバイスに組み込むことです(図16)。これによって、(選択を制限する)カスタム磁気部品や追加フライバック・コントローラ

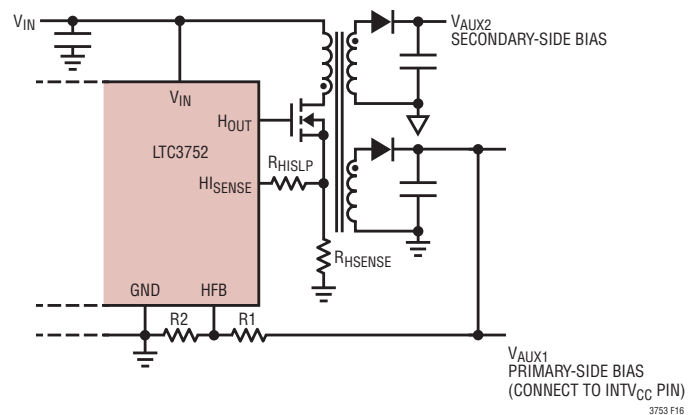


図16. 1次側および2次側バイアス用のハウスキーピング・コントローラを内蔵したLT3752 フォワード・コントローラ

アプリケーション情報

ラ・デバイスが不要な、最高の効率を持つ費用対効果が最も高いソリューションが得られます。LT3752は、ハウスキーピング・コントローラを内蔵した1次側フォワード・コントローラ・デバイスであり、容易にLT3753と置き換えることができます。

ハウスキーピング・コントローラのない絶縁型ソリューションの場合、1次側回路および2次側回路用の補助電源を生成するための代替手法があります。ただし、それらの手法と、推奨されるハウスキーピング・コントローラ・ソリューションとの間にはトレードオフがあります。

1次側補助電源

LT3753は、 V_{IN} ピンが広い動作範囲を持っているため、1次側補助電源がなくても動作できます。全てのゲート・ドライバ(OUT、AOUT、およびSOUT)に必要な電流は、 V_{IN} とINTV_{CC}の間に接続された内部リニア・レギュレータから供給されます。この内部リニア・レギュレータの効率損失、電力損失、または電流駆動能力がフォワード・コンバータ設計の制限要因になる場合、1次側バイアス(V_{AUX1})を生成して、

INTV_{CC}ピンをオーバードライブできます(図17)。 V_{AUX1} を生成するには、メイン・パワー・トランスの追加巻線(N_{AUX})を、1つのインダクタ(L1)と2つのショットキー・ダイオード(D1、D2)と組み合わせて使用して、降圧派生型電源を生成します。INTV_{CC}が必要とする最大電源電流に対応するには、1mHのインダクタで通常は十分であるため、これを選択します。「アプリケーション情報」の「INTV_{CC}レギュレータのバイパスと動作」も参照してください。

2次側補助電源

2次側回路に電力を供給する補助電源を生成する方法は、各種存在します。LT8311同期整流器コントローラとオプトカップラ・ドライバ・デバイスには、複数の方法で電力を供給できます。例えば、 V_{OUT} に直接接続する方法があります。この方法が最も簡単ですが、LT8311のデータシートには、 V_{IN} ピンに電力を供給するためのさまざまなガイドラインが記載されています。ほとんどの場合、補助電源を使用するのが最良の方法です。以下の方法でバイアス(V_{AUX2})を生成し、2次側回路

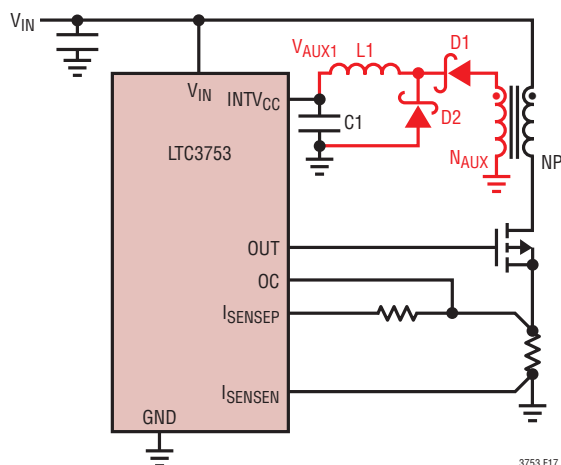


図17. 1次側バイアス V_{AUX1} (N_{AUX} 、L1、D1、D2)

アプリケーション情報

に電力を供給できます。

- (1) ハウスキーピング・コントローラを内蔵した1次側フォワード・コントローラを使用して、2次側バイアスを生成します(図16)。
- (2) メイン・パワー・トランスの追加巻線を用いて降圧派生バイアスを使用します(図17と同様の方法を2次側回路に適用する)。
- (3) 超過巻線を持つカスタム出力インダクタを使用します(図18)。
- (4) ピーク充電回路を使用します(図19(a)、(b)、(c))。

どの方法を使用して2次側回路用の補助電源を作成する場合でも、フォワード・コンバータをテストして、補助電源が電圧範囲と電源電流の要件、およびコンバータのパワーアップ/パワーダウン時の挙動に対して許容できることを確認する必要

があります。

1次側パワー MOSFET の選択

1次側Nチャンネル・パワー MOSFET M1の選択は、予想されるドレイン電圧とドレイン電流の最大レベルによって決まります。さらに、導通損失、ゲート・ドライバ損失、および遷移損失に起因する電力損失に基づいて、MOSFETの選択を微調整します。電力損失が、許容できない温度上昇をMOSFETに発生させるほど大きい場合、複数のMOSFETを並列に接続する必要があります。

予想されるMOSFET M1の最大ドレイン電圧は、アクティブ・クランプ・トポロジーのセクションで既に述べた次式に従います。

$$V_{DS} (M1) = V_{IN}^2 / (V_{IN} - (V_{OUT} \cdot N))$$

デューティ・サイクル、負荷トランジェント、 C_{CL} の電圧リップル、および漏れインダクタンス・スパイクの許容誤差のため、上の定常状態の V_{DS} の計算値よりも約20%大きい BV_{DSS} 定格を持つMOSFETを選択する必要があります。スイッチ・オン抵抗を最小限に抑えて効率を向上するために、アプリケーションでは、可能な限り低い電圧定格を持つMOSFETを選択します。それに加えて、さらに損失を低減するために、最小のゲート電荷を持つMOSFETを選択します。

最大出力電流でのMOSFET M1の損失は、次式で近似でき

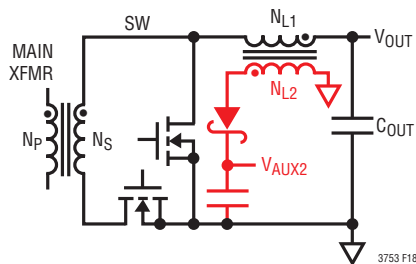


図18. 超過巻線による電源を備えた出力インダクタ

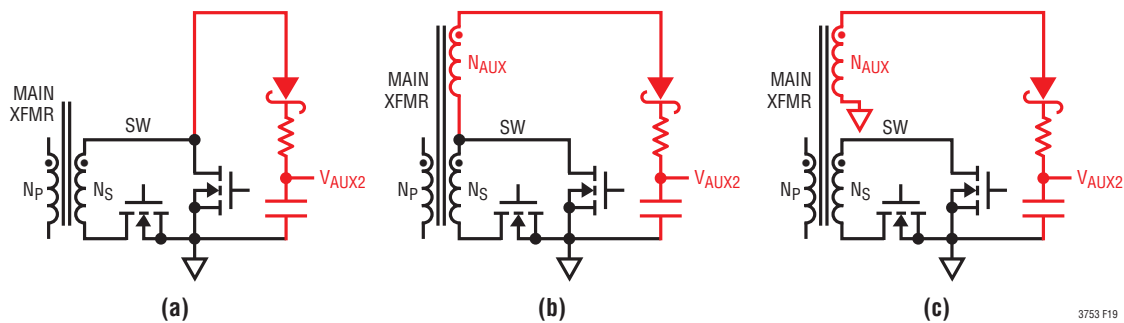


図19. ピーク充電電源: (a)直接SWから、(b)低 V_{OUT} アプリケーション用、(c)高 V_{OUT} アプリケーション用

アプリケーション情報

ます。

$$P_{M1} = P_{CONDUCTION} + P_{GATEDRIVER} + P_{TRANSITION}$$

$$(i) P_{CONDUCTION} = (N_p/N_s) \cdot (V_{OUT}/V_{IN}) \cdot (N_s/N_p \cdot I_{OUT(MAX)})^2 \cdot R_{DS(ON)}$$

注記：MOSFETのオン抵抗($R_{DS(ON)}$)は、MOSFETの接合部温度とともに増加します。そのため、接合部温度が分かっていたら、 $R_{DS(ON)}$ を再計算します。 $R_{DS(ON)}$ の最終値とその $P_{CONDUCTION}$ は、数回の反復で得られます。

$$(ii) P_{GATEDRIVER} = (Q_G \cdot INTV_{CC} \cdot f_{OSC})$$

ここで、

$$Q_G = \text{ゲート電荷} (V_{GS} = INTV_{CC})$$

$$(iii) P_{TRANSITION} = P_{TURN_OFF} + P_{TURN_ON}$$

(ZVSの場合はほぼ0)

$$(a) P_{TURN_OFF} = (1/2) I_{OUT(MAX)} (N_s/N_p) (V_{IN}/1-D) (Q_{GD}/I_{GATE}) \cdot f_{OSC}$$

ここで、

$$Q_{GD} = \text{ゲート・ドレイン電荷}$$

$$I_{GATE} = \text{OUTピンのゲート・ドライバの2Aのソース/シンク}$$

$$(b) P_{TURN_ON} = (1/2) I_{OUT(MAX)} (N_s/N_p) (V_{DS}) (Q_{GD}/I_{GATE}) \cdot f_{OSC}$$

ここで、

$$V_{DS} = M1のオンの開始時のM1ドレイン電圧$$

通常、 V_{DS} の値は、 $V_{IN} \sim 0V$ (ZVS)の範囲内にあります。

設定可能なタイミング t_{AO} の間に、負の I_{MAG} がM1ドレインのSWPを V_{IN} に向けて放電します(図1)。2次側のM1ドレインの V_{IN} へのクランプが遅延するほど十分な漏れインダクタンスが存在し、その遅延の間にSWPを0Vに放電するのに十分なエネルギーが L_{MAG} に保存されている場合、ZVSが達成されます(「アクティブ・クランプ・スイッチのタイミングの設定：AOUT～OUT間遅延(t_{AO})」を参照)。

同期制御(SOUT)

LT3753は、SOUTピンで2次側同期整流器コントローラと同期制御情報をやりとりします(図20)。絶縁トランス(T_{SYNC})、カップリング・コンデンサ(C_{SYNC})、および抵抗性負荷(R_{SYNC})を使用して、2次側同期整流器コントローラのSYNC入力に必要なグラウンドを基準にした負および正のSOUT信号を生成できます。LT8311とともに動作する標準的なLT3753アプリケーションの場合、 C_{SYNC} は220pF、 R_{SYNC} は560Ω、 T_{SYNC} は通常、PULSE PE-68386NLです。

通常は、220pF～1nFの間で C_{SYNC} を選択します。次に、以下に従って R_{SYNC} を選択します。

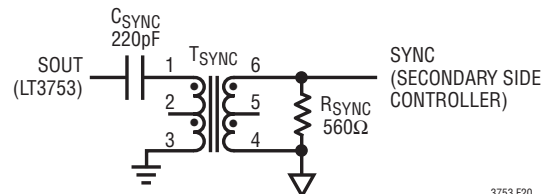


図20. SOUTパルス・トランス

$$(1) SOUT_{MAX}/100mA \leq R_{SYNC} \leq \sqrt{(L_{MAG}/C_{SYNC})}$$

ここで、

$$SOUT_{MAX} = INTV_{CC}$$

$$L_{MAG} = T_{SYNC} \text{の磁化インダクタンス}$$

$$100mA = \text{SOUTゲート・ドライバの最小ソース電流}$$

および

$$(2) R_{SYNC} \cdot C_{SYNC} \geq (-1) \cdot Y / (\ln(Z/SOUT_{MAX}))$$

ここで、

$$Y = \text{SYNCの最小パルス期間} (50ns, \text{LT8311})$$

アプリケーション情報

$$Z = |Y \text{ を達成するための SYNC レベル}| (\pm 2V : LT8311)$$

LT3753 の INTV_{CC} ピンは 15.4V でオーバードライブできますが、T_{SYNC} 出力が LT8311 の SYNC ピンの最大定格を超えないように S_{OUTMAX} レベルを設計する必要があります。

コスト/スペースの削減：軽負荷時の不連続導通モード (DCM) 動作を許容できる場合、LT8311 は、T_{SYNC}、C_{SYNC}、R_{SYNC} または LT3753 のタイミング抵抗 R_{TAS}、R_{TOS} を使用しない (オープン状態のまま) で同期 MOSFET を制御するプリアクティブ・モードを備えています。

出力インダクタ値

出力インダクタ値 L_{OUT} の選択は、許容できるリップル電流量によって変わります。インダクタ・リップル電流は次式で与えられます。

$$I_{L(RIPPLE)(P-P)} \\ = \Delta I_L = (V_{OUT} / (L_{OUT} \cdot f_{OSC})) \cdot (1 - (V_{OUT} / V_{IN}) (N_p / N_s))$$

LT3753 では、外付け抵抗を I_{SENSE} ピンに直列に接続してスロープ補償を設定できるため、スロープ補償が不十分になるのを心配することなく、 ΔI_L の値を非常に大きく (L_{OUT} の値を低く) することができます (「電流検出および設定可能なスロープ補償」を参照)。

ΔI_L を大きくすると、L_{OUT} が減少し、部品サイズを小さくすることができますが、同時に出力電圧リップルとコア損失が増加します。LT3753 アプリケーションの場合、通常、 ΔI_L は I_{OUT(MAX)} の 40% になるように選択します。

出力コンデンサの選択

出力コンデンサ値の選択は、次式で与えられる出力電圧リップル要件によって変わります。

$$\Delta V_{OUT} \approx \Delta I_L (ESR + (1 / (8 \cdot f_{OSC} \cdot C_{OUT})))$$

ここで、

$$\Delta I_L = \text{出力インダクタ・リップル電流 } I_{L(RIPPLE)(P-P)}$$

ESR = (C_{OUT} の) 実効直列抵抗

f_{OSC} = スイッチング周波数

C_{OUT} = 出力容量

これは次のようになります。

$$C_{OUT} = \Delta I_L / (8 \cdot f_{OSC} \cdot (\Delta V_{OUT} - \Delta I_L \cdot ESR))$$

通常、C_{OUT} は、 ΔV_{OUT} を最小限に抑えるために、低 ESR のセラミック・コンデンサで構成されます。負荷ステップ時の出力電圧の変動を最小限に抑えるには、追加バルク容量を電解コンデンサの形で追加します。

入力コンデンサの選択

アクティブ・クランプ・フォワード・コンバータは、1 次巻線電流と励磁電流のために、入力から電流のパルスを要求します。可能な限り純粋な DC 電源に近く、リップル電圧の低い入力電圧を実現するために、入力コンデンサによって高周波フィルタを提供する必要があります。低インピーダンスの入力電源および中～低電圧入力レベルの場合、低 ESR のシンプルセラミック・コンデンサで十分です。次のワーストケースの RMS 入力電流で動作する定格を選択してください。

$$I_{CIN(RMS)} = (N_s / N_p) I_{OUT(MAX)} / 2$$

小型の 1 μ F バイパス・コンデンサも、V_{IN} と GND の間でデバイスに近づけて配置します。

入力電圧レベルが増加すると、入力リップルを最小化するために使用されるどのバルク容量も、ソリューションのサイズとコストに影響を与える可能性があります。さらに、入力のソース・インピーダンスが高くなると、電圧リップルが増加します。このようなアプリケーションには、LC 入力フィルタを含めることを推奨します。入力フィルタの出力インピーダンスは、DC/DC フォワード・コンバータの負入力インピーダンスよりも下に維持する必要があります。

PCB レイアウト/熱に関するガイドライン

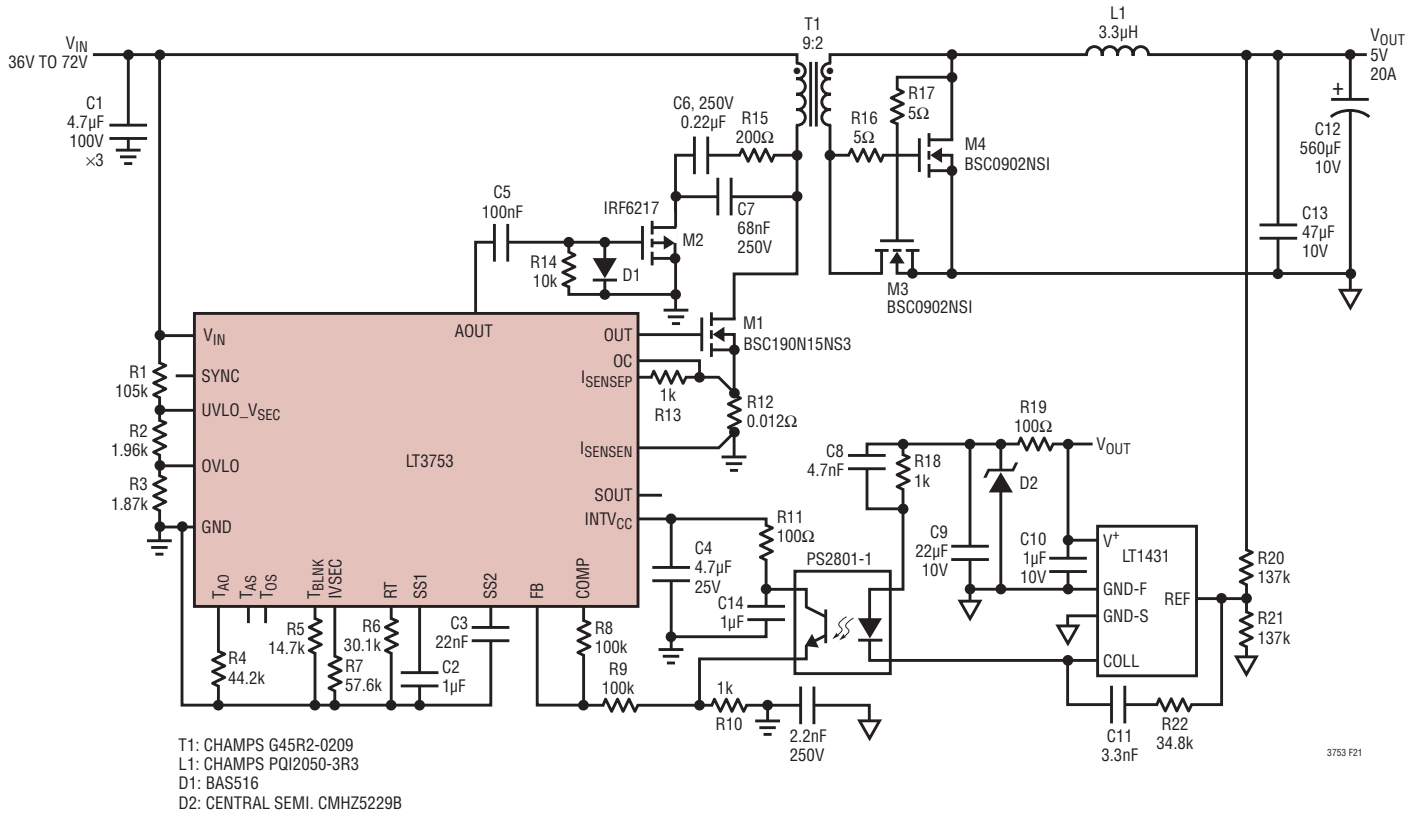
正しく動作するには、特に PCB レイアウトに注意を払う必要があります。クリティカルなプログラミング信号は、高 dv/dt 信号

アプリケーション情報

と共存できる必要があります。熱管理の不足という代償を払うことなく、コンパクトなレイアウトを実現できます。最適な性能に近づくために、以下のガイドラインに従ってください。

1. 必ず、コントローラ・デバイスの V_{IN} および GND 間で(できるだけ近づけて)ローカル・バイパス・コンデンサを使用します。
2. タイミング (T_{AO} 、 T_{AS} 、 T_{OS} 、 T_{BLNK} 、 I_{VSEC} 、および R_T の各ピン)用のクリティカルなプログラミング抵抗と各ピンの間のトレースを短くする必要があります。各抵抗は、短いトレースを使用して1つのグランド・バス(具体的には、デバイスのピン 18 (GND))に接続します。
3. フォワード・コンバータの電流検出抵抗は、短いケルビン接続を使用して I_{SENSEP} ピンおよび I_{SENSEN} ピンに接続する必要があります。
4. 高 dv/dt ラインは、全てのタイミング抵抗、電流検出入力、COMPピン、 $UVLO_VSEC/OVLO$ ピン、およびFBトレースから離します。
5. ゲート・ドライバのトレース (AOUT、SOUT、OUT) を、できるだけ短くします。
6. 高電力部品とともに動作する場合、複数の部品を並列に接続して電力損失を分散し、温度上昇を最小限に抑えるのが最善の方法です。特に、ビアで接続された複数の銅層を使用して、各パワー MOSFET からの熱を放散します。
7. PGND の高スイッチング電流経路を、信号グランドから離します。また、それらの高電流スイッチング経路のトレース長を最小化して、寄生インダクタンスを最小限に抑えます。

アプリケーション情報



効率と負荷電流

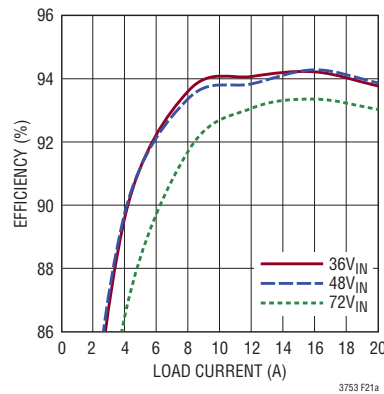
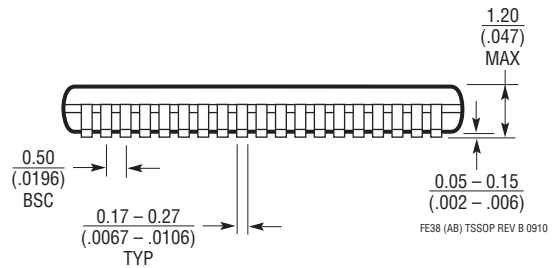
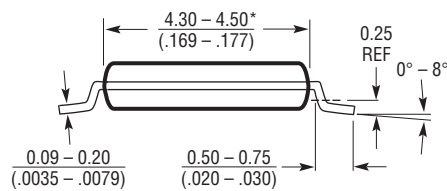
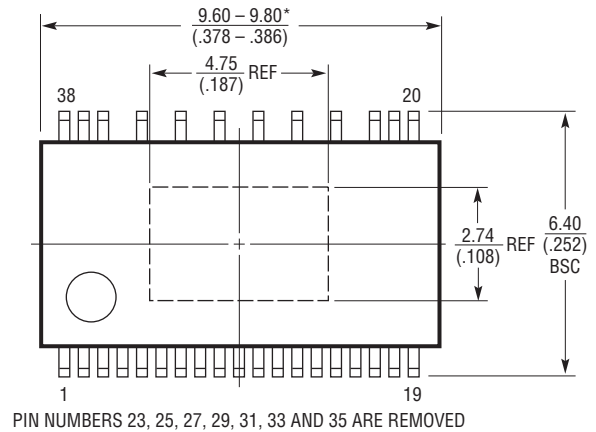
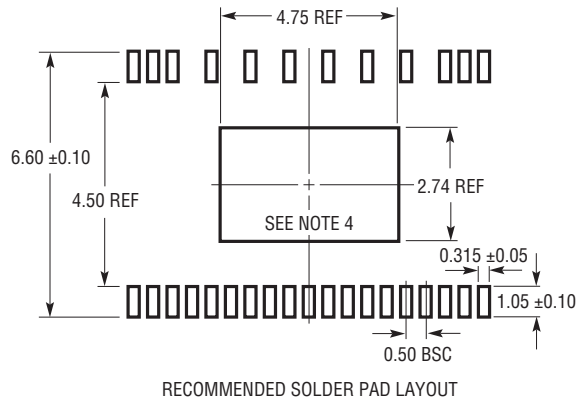


図 21. 36V~72V 入力、5V/20A 100W 出力、アクティブ・クランプ絶縁型フォワード・コンバータ

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

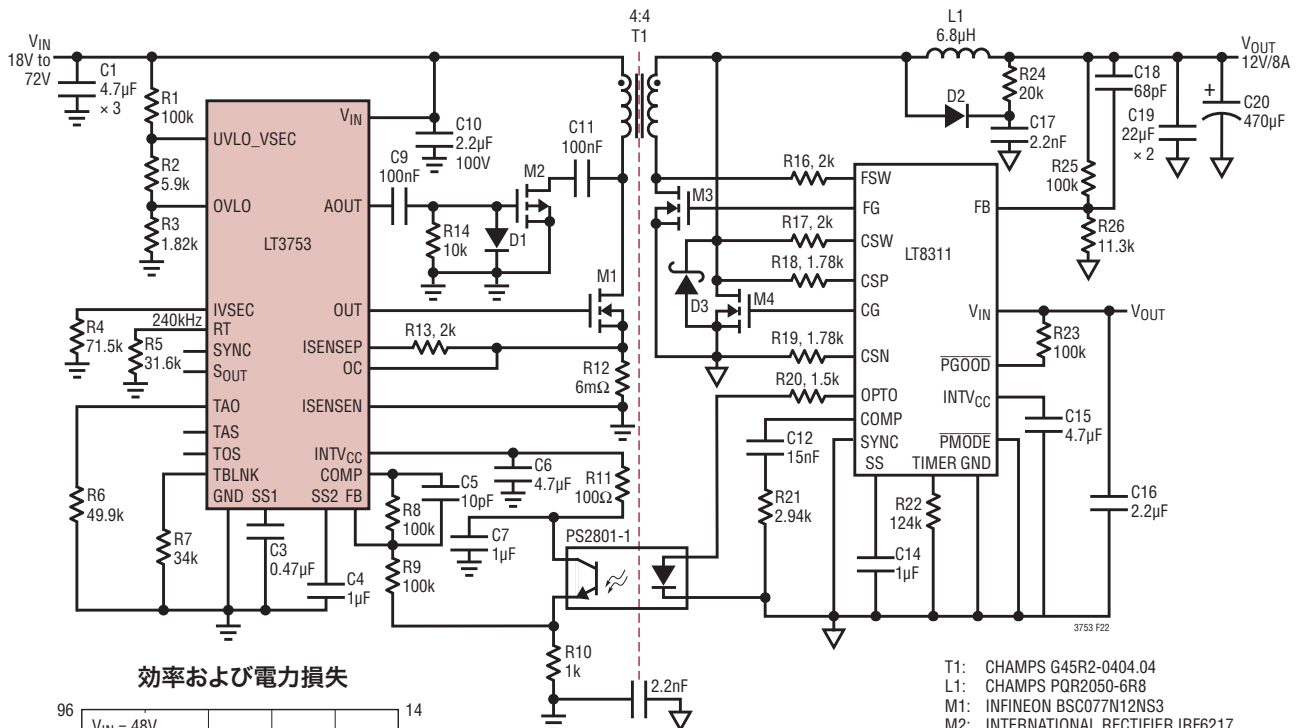
FE Package
Package Variation: FE38 (31)
38-Lead Plastic TSSOP (4.4mm)
 (Reference LTC DWG # 05-08-1865 Rev B)
Exposed Pad Variation AB



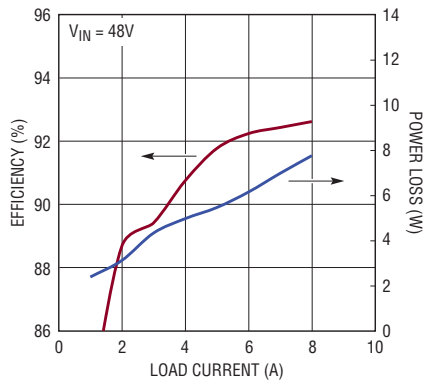
NOTE:

1. 標準寸法：ミリメートル
2. 寸法は、ミリメートル (インチ)
3. 図は実寸とは異なる
4. 露出パッド接着のための推奨最小 PCB メタルサイズ
 * 寸法にはモールドのバリを含まない。
 モールドのバリは各サイドで 0.150mm (0.006") を超えないこと

標準的応用例



効率および電力損失



- T1: CHAMPS G45R2-0404.04
- L1: CHAMPS PQR2050-6R8
- M1: INFINEON BSC077N12NS3
- M2: INTERNATIONAL RECTIFIER IRF6217
- M3: FAIRCHILD SEMI. FDM586101DC
- M4: INFINEON BSC077N12NS3
- D2: CENTRAL SEMI. CMMR1U-02
- D3: DIODES INC. SBR1U150SA

図22. 18V ~ 72V 入力、12V/8A 出力、アクティブ・クランプ絶縁型
フォワード・コンバータ

関連製品

製品番号	説明	注釈
LT3752/ LT3752-1	ハウスキーピング・コントローラを内蔵したアクティブ・クランプ同期整流式フォワード・コントローラ	中電力の24V、48V、および最大400V入力アプリケーションに最適
LT8311	フォワード・コンバータ用プリアクティブ2次側オプトカプラ・ドライバ内蔵の同期整流器コントローラ	1次側のLT3752/-1、LT3753、およびLT8310コントローラでの使用に最適化
LTC3765/ LTC3766	オプトカプラ不要のアクティブ・クランプ・リセット付き同期整流式フォワード・コントローラ・チップセット	直接磁束制限、2次側フォワード・コントローラのセルフスタートをサポート
LTC3722/ LTC3722-2	同期整流式フルブリッジ・コントローラ	ゼロ電圧スイッチングの適応型またはマニュアルの遅延制御、同期整流のタイミングを調整可能
LT3748	100V絶縁型フライバック・コントローラ	5V ≤ VIN ≤ 100V、オプトカプラ不要のフライバック・コントローラ、高電圧ピン間にスペースを設けたMSOP-16パッケージ
LT3798	アクティブPFC機能を備えたオプトカプラ不要のオフライン絶縁型フライバック・コントローラ	外付け部品によつてのみVINとVOUTを制限